

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΟΝΙΚΗΣ

N. ΕΥΜΟΡΦΟΠΟΥΛΟΣ

Ανάλυση ψηφιακών και αναλογικών ολοκληρωμένων κυκλωμάτων με το πρόγραμμα προσομοίωσης SPICE

0. Εισαγωγικά

Το πρόγραμμα SPICE (Simulation Program with Integrated Circuit Emphasis), το οποίο αρχικά αναπτύχθηκε από το Πανεπιστήμιο του Berkeley στη δεκαετία του 70, αποτελεί το de facto εργαλείο CAD (Computer-Aided Design) για την προσομοίωση ολοκληρωμένων κυκλωμάτων (και γενικότερα κυκλωμάτων με ημιαγωγικές διατάξεις) σε επίπεδο τρανζίστορ, τόσο στη βιομηχανία μικροηλεκτρονικής όσο και στον ευρύτερο ακαδημαϊκό χώρο. Στο εργαστήριο του μαθήματος θα χρησιμοποιήσουμε την υλοποίηση PSpice που παρέχεται από την εταιρεία Microsim (η οποία αποκτήθηκε αρχικά από την OrCAD και κατόπιν από την Cadence Design Systems) προκειμένου να εξετάσουμε την κυκλωματική λειτουργία και τις επιδόσεις των ψηφιακών ολοκληρωμένων κυκλωμάτων που βασίζονται σε τεχνολογία CMOS.

Η εκκίνηση του προγράμματος του PSpice γίνεται από το Start menu των Windows με την επιλογή OrCAD Release 9 > PSpice AD. Στο παράθυρο που εμφανίζεται επιλέξτε New > Text File ώστε να ξεκινήσετε τον text editor του προγράμματος, στον οποίο εισάγεται υπό τη μορφή κειμένου η περιγραφή του κυκλώματος προς προσομοίωση. Η μορφή εισαγωγής όλων των κυκλωματικών στοιχείων και των εντολών που θα μας χρειαστούν δίνεται συνοπτικά στο παράρτημα Α. Το αρχείο εισόδου που δημιουργείται κάθε φορά θα πρέπει να αποθηκεύεται με την κατάληξη *.cir*. Η προσομοίωση του κυκλώματος (δηλαδή η κλήση του πυρήνα του SPICE) γίνεται με την επιλογή Simulation > Run ..., η οποία εάν δεν υπάρχουν συντακτικά λάθη (και εφόσον έχει συμπεριληφθεί στο αρχείο εισόδου η εντολή απεικόνισης κυματομορφής *.PROBE*) εμφανίζει στο τέλος της ένα (αρχικά κενό) παράθυρο για τη γραφική παράσταση των αποτελεσμάτων που προκύπτουν. Η παράσταση αυτή πραγματοποιείται με την εντολή Trace > Add Trace, και κατόπιν με επιλογή από τον αριστερό πίνακα των μεταβλητών τάσεων κόμβων ή/και ρευμάτων κλάδων που επιθυμούμε. Εάν το κύκλωμα παρουσιάζει συντακτικά λάθη τότε θα

εμφανιστεί σχετικό μήνυμα στο κάτω αριστερά παράθυρο της οθόνης (Output Window), για το οποίο μπορούμε να έχουμε περισσότερες λεπτομέρειες (καθώς και πληροφόρηση πάνω στη γενικότερη έκβαση της προσομοίωσης) με την εντολή View > Output File (το αρχείο αυτό με κατάληξη *.out* είναι το default αρχείο εξόδου του SPICE).

Η λειτουργία του SPICE στηρίζεται στην ύπαρξη κατάλληλων μοντέλων (ήτοι συνόλων παραμέτρων και αντίστοιχων εξισώσεων που τις διέπουν) για τα διάφορα στοιχεία που περιέχονται γενικά σε ένα κύκλωμα. Τα πιο σημαντικά κυκλωματικά στοιχεία είναι οι ημιαγώγιμες διατάξεις και κυρίως το τρανζίστορ MOS, του οποίου το μοντέλο εξακολουθεί να αναπτύσσεται και να βελτιώνεται όσο η τεχνολογία κατασκευής οδεύει προς μικρότερες διαστάσεις. Το PSpice ενσωματώνει προς το παρόν 7 τέτοια διαφορετικά μοντέλα, τα οποία χαρακτηρίζονται ως επιπέδου 1 έως 7 (LEVEL 1 - LEVEL 7) ανάλογα με τη χρονολογία εμφάνισής τους και την ακρίβεια περιγραφής που μπορούν να επιτύχουν (ιδίως για τα τρανζίστορ MOS μικρών διαστάσεων). Για τις ανάγκες του εργαστηρίου θα αρκεστούμε εδώ στα τρία πρώτα και κλασικότερα μοντέλα MOS (LEVEL 1 - LEVEL 3), παρότι σε σύγχρονες τεχνολογίες βαθέως υπομικρού (deep-submicron), δηλαδή με χαρακτηριστικά μεγέθη μικρότερα των 0.25μm, αυτά έχουν ήδη αντικατασταθεί από τα πιο ακριβή μοντέλα Berkeley BSIM και κυρίως από το BSIM3v3 (LEVEL 7 στο PSpice). Μια αναλυτική περιγραφή των παραμέτρων των μοντέλων 1 έως 3, μαζί με ορισμένες τυπικές τιμές τους για αντίστοιχες τεχνολογίες 0.8μm, 0.5μm, 0.35μm, και 0.25μm, δίνεται προς το τέλος στο παράρτημα Β (οι παράμετροι που δεν καθορίζονται από τη διαδικασία κατασκευής λαμβάνουν μια προκαθορισμένη τιμή από το SPICE). Πάντως στο μεγαλύτερο μέρος των σημειώσεων θα επικεντρωθούμε μόνο σε κάποιες πολύ βασικές παραμέτρους της τεχνολογίας, όπως είναι για παράδειγμα η τάση κατωφλίου μηδενικής πόλωσης V_{T0} και ο συντελεστής διαγωγιμότητας $k' = \mu C_{ox} = \mu \frac{\epsilon_{ox}}{t_{ox}}$.

Ορισμένες συντακτικές λεπτομέρειες του SPICE

- Όλες οι γραμμές που ξεκινούν από * είναι σχόλια.
- Η πρώτη γραμμή του προγράμματος πρέπει να είναι σχόλιο (συνήθως αποτελεί τον τίτλο της προσομοίωσης που πρόκειται να εκτελεστεί).
- Η τελευταία γραμμή του προγράμματος πρέπει να είναι η .END.
- Το SPICE δεν είναι case-sensitive (π.χ. η .end είναι ίδια με την .END).
- Οι εντολές του SPICE χωρίζονται σε δύο κύρια είδη:
 - Εντολές περιγραφής του κυκλώματος (netlist).
 - Εντολές ελέγχου της προσομοίωσης (όπου περιλαμβάνονται εντολές μοντέλων στοιχείων και επιλογές - options - προσομοίωσης).
- Οι εντολές ελέγχου ξεκινούν με έναν χαρακτήρα τελείας (.).
- Οι εντολές περιγραφής του κυκλώματος (netlist) ξεκινούν με ένα γράμμα που υποδεικνύει τον τύπο του κυκλωματικού στοιχείου (π.χ. R για αντίσταση ή C για πυκνωτή). Τα πιο συνηθισμένα κυκλωματικά στοιχεία δίνονται στον πίνακα 1.

- Οι κόμβοι στην περιγραφή του κυκλώματος δίνονται είτε με αρίθμηση είτε με ετικέτες (labels). Ειδικά ο κόμβος με αριθμό 0 είναι πάντοτε ο κόμβος της γείωσης.
- Για κάθε φυσική ποσότητα υπονοούνται οι κατάλληλες μονάδες και δεν χρειάζεται να αναγράφονται. Τα γράμματα που αντιστοιχούν στα πολλαπλάσια των μονάδων δίνονται στον πίνακα 2 (επισημαίνεται ειδικά ότι το U αντιστοιχεί στο micro- και το MEG στο mega-).

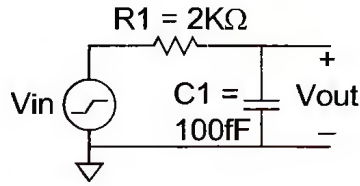
<i>Γράμμα</i>	<i>Στοιχείο</i>
R	Αντίσταση
C	Πυκνωτής (χωρητικότητα)
L	Πηνίο (αυτεπαγωγή)
K	Αμοιβαία επαγωγή
V	Ανεξάρτητη πηγή τάσης
I	Ανεξάρτητη πηγή ρεύματος
M	Τρανζίστορ MOS
D	Δίοδος
Q	Τρανζίστορ BJT
T	Γραμμή μεταφοράς
X	Υποκύκλωμα
E	Πηγή τάσης ελεγχόμενη από τάση
G	Πηγή ρεύματος ελεγχόμενη από τάση
H	Πηγή τάσης ελεγχόμενη από ρεύμα
F	Πηγή ρεύματος ελεγχόμενη από ρεύμα

Πίνακας 1. Συνηθισμένα κυκλωματικά στοιχεία του SPICE.

<i>Γράμμα</i>	<i>Πολλαπλάσιο</i>
A	atto (10^{-18})
F	femto (10^{-15})
P	pico (10^{-12})
N	nano (10^{-9})
U	micro (10^{-6})
M	milli (10^{-3})
K	kilo (10^3)
MEG	mega (10^6)
G	giga (10^9)

Πίνακας 2. Πολλαπλάσια μονάδων φυσικών ποσοτήτων στο SPICE.

Για παράδειγμα, έστω ότι θέλουμε να υπολογίσουμε την απόκριση ενός απλού RC κυκλώματος πρώτης τάξης (Σχήμα 1) με είσοδο ένα σήμα που αυξάνει γραμμικά από 0 σε 1.8 V μέσα σε διάστημα 50 ps .

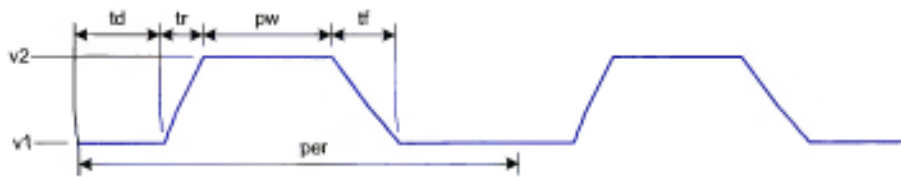


Σχήμα 1. Κύκλωμα RC πρώτης τάξης.

Το αρχείο εισόδου SPICE που περιγράφει το κύκλωμα και εκτελεί τη συγκεκριμένη προσομοίωση είναι το ακόλουθο:

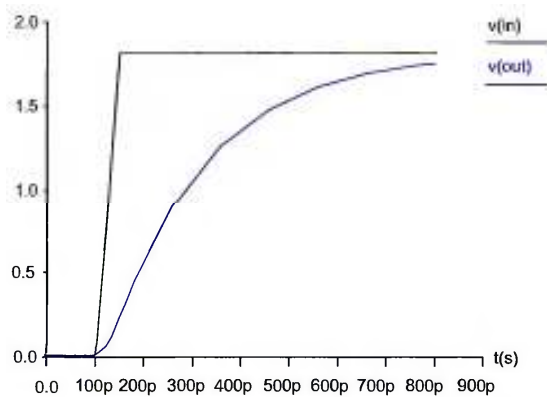
```
*Response of first-order RC circuit
Vin 1 0 PWL 0p 0 100p 0 150p 1.8 800p 1.8
R1 1 2 2k
C1 2 0 100f
.TRAN 20p 800p
.PROBE V(1) V(2)
.END
```

Η είσοδος παρέχεται σε μορφή τμηματικά γραμμική (piecewise linear, PWL), ως μια ακολουθία από ζεύγη χρόνου-τάσης. Μια άλλη συνηθισμένη περιγραφή για περιοδικές κυρίως διεγέρσεις (π.χ. ένα σήμα ρολογιού) είναι η PULSE, της οποίας οι παράμετροι ορίζονται στο Σχήμα 2 (η σύνταξη της είναι PULSE <v1> <v2> <td> <tf> <tr> <pw> <per>).



Σχήμα 2. Ορισμοί των παραμέτρων της κυματομορφής τύπου PULSE.

Η ανάλυση που ζητείται από το αρχείο SPICE είναι ανάλυση χρονικής απόκρισης ή μεταβατική (.TRAN) με βήμα 20 ps και συνολική διάρκεια 800 ps. Η απόκριση του κυκλώματος από το SPICE - σε κοινό γράφημα με την είσοδο - φαίνεται στο ακόλουθο Σχήμα 3:



Σχήμα 3. Απόκριση κυκλώματος RC από το SPICE.

Όπως αναμενόταν η απόκριση είναι μια εκθετική συνάρτηση που πλησιάζει ασυμπτωτικά την τελική τιμή $1.8 V$ με χρονική σταθερά $100 fF \cdot 2 k\Omega = 200 ps$.

1. Ανάλυση χαρακτηριστικών MOS transistor

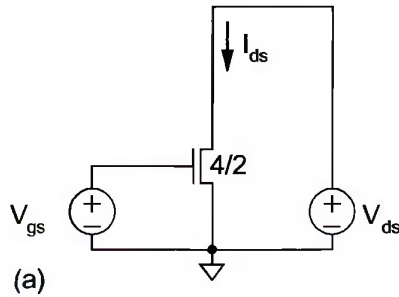
Μια από τις κυριότερες πληροφορίες για μια συγκεκριμένη τεχνολογία κατασκευής ολοκληρωμένων κυκλωμάτων (π.χ. TSMC 180 nm) είναι οι χαρακτηριστικές ρεύματος-τάσης (I-V) του τρανζίστορ MOS. Αυτές είναι οι γραφικές παραστάσεις $I_{DS} = f(V_{DS})$ του ρεύματος I_{DS} συναρτήσεως της τάσης V_{DS} στα άκρα του τρανζίστορ, για διάφορες τιμές της τάσης ελέγχου V_{GS} (μέχρι την τάση τροφοδοσίας) σε κοινό γράφημα. Ο υπολογισμός τους μπορεί να γίνει από το SPICE με το ακόλουθο αρχείο εισόδου, το οποίο περιγράφει το κύκλωμα του Σχήματος 4 και εκτελεί στατική (DC) ανάλυση σε αυτό:

```
*MOS transistor I-V characteristics
Vgs 1 0 DC 0
Vds 2 0 DC 0
M1 2 1 0 0 NMOS W=1u L=0.35u

.MODEL NMOS NMOS (
+TOX      = 7.9E-9          NSUB      = 1E17          LEVEL   = 3
+PHI      = 0.7            VTO      = 0.5445549      GAMMA   = 0.5827871
+UO       = 436.256147     ETA      = 0            DELTA   = 0
+KP       = 2.055786E-4    VMAX    = 8.309444E4    THETA   = 0.1749684
+RSH      = 0.0559398     NFS     = 1E12          KAPPA   = 0.2574081
+XJ       = 3E-7          LD      = 3.162278E-11  TPG     = 1
+CGDO     = 2.82E-10      CGSO    = 2.82E-10      WD      = 7.046724E-8
+CJ       = 1E-3          PB      = 0.9758533     CGBO    = 1E-10
+CJSW     = 3.777852E-10  MJSW    = 0.3508721     MJ      = 0.3448504
)

.MODEL PMOS PMOS (
+ TOX      = 7.9E-9          NSUB      = 1E17          LEVEL   = 3
+ PHI      = 0.7            VTO      = -0.7140674    GAMMA   = 0.4083894
+ UO       = 212.2319801     ETA      = 9.999762E-4    DELTA   = 0
+ KP       = 6.733755E-5    VMAX    = 1.181551E5    THETA   = 0.2020774
+ RSH      = 30.0712458     NFS     = 1E12          KAPPA   = 1.5
+ XJ       = 2E-7          LD      = 5.000001E-13   TPG     = -1
+ CGDO     = 3.09E-10      CGSO    = 3.09E-10      WD      = 1.249872E-7
+ CJ       = 1.419508E-3    PB      = 0.8152753     CGBO    = 1E-10
+ CJSW     = 4.813504E-10  MJSW    = 0.5            MJ      = 0.5
)

.TEMP 70
.DC Vds 0 3.3 0.05 Vgs 0 3.3 0.3
.PROBE ID(M1)
.END
```



Σχήμα 4. Κύκλωμα για εξαγωγή I-V χαρακτηριστικών ενός τρανζίστορ MOS.

Τα μοντέλα των τρανζίστορ στο παραπάνω αρχείο αντιστοιχούν σε τεχνολογία TSMC $0.35 \mu m$. Συνήθως αποθηκεύονται σε ξεχωριστό αρχείο βιβλιοθήκης και ανακτώνται με την εντολή `.INC "<filename>"` (π.χ. `.INC "tsmc035.sp"`). Η περιγραφή του τρανζίστορ MOS ακολουθεί τη σύνταξη: `M<name> <drain> <gate> <source> <body> <type> W=<value> L=<value>`. Η τάση τροφοδοσίας του κυκλώματος (η οποία καθορίζει τη μέγιστη τιμή των τάσεων V_{DS} και V_{GS}) θεωρείται $V_{DD} = 3.3 V$. Η θερμοκρασία τίθεται μέσω της εντολής ελέγχου `.TEMP` στους $70^{\circ}C$ (εάν αυτή παραληφθεί, τότε ως θερμοκρασία λαμβάνεται η nominal τιμή των $27^{\circ}C$). Η εντολή `.DC` σαρώνει την V_{DS} από 0 έως $3.3 V$ με βήμα $0.05 V$ και με $V_{GS} = 0 V$ [για τη γραφική παράσταση $I_{DS} = f(V_{DS})$ με $V_{GS} = 0$], και στη συνέχεια επαναλαμβάνει τη διαδικασία για $V_{GS} = 0.3 V, 0.6 V, 0.9 V, 1.2 V, 1.5 V, 1.8 V, 2.1 V, 2.4 V, 2.7 V, 3.0 V, 3.3 V$.

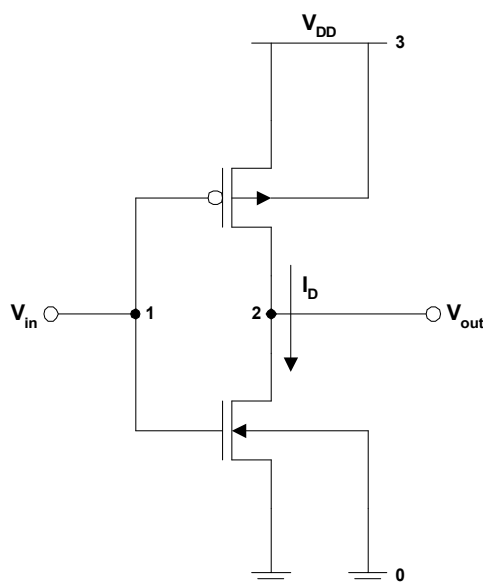
Άσκηση

1. Να εξαχθούν οι I-V χαρακτηριστικές των τρανζίστορ nMOS και pMOS για τις τεχνολογίες TSMC $0.35 \mu m$, TSMC $0.25 \mu m$, και TSMC $180 nm$ (με δοσμένα τα αντίστοιχα μοντέλα SPICE των τρανζίστορ), και για θερμοκρασίες $27^{\circ}C$ και $70^{\circ}C$. Οι τάσεις τροφοδοσίας των τεχνολογιών είναι $V_{DD} = 3.3 V, 2.5 V$, και $1.8 V$ αντίστοιχα. Προσέξτε να επιλέξετε κατάλληλο μήκος τρανζίστορ για κάθε τεχνολογία. Επίσης τονίζεται ότι οι τάσεις V_{DS} και V_{GS} του pMOS είναι αρνητικές. Να επισημανθούν σε κάθε σχήμα:

- (α) Οι περιοχές λειτουργίας των τρανζίστορ (off, lin, sat).
- (β) Τα αποτελέσματα της διαμόρφωσης μήκους καναλιού (channel length modulation).
- (γ) Εάν και ποια τρανζίστορ παρουσιάζουν κορεσμό ταχύτητας φορέων (velocity saturation), και πώς αυτό παρατηρείται στα σχήματα.

2. Στατική (DC) ανάλυση αντιστροφέα CMOS

Θα ξεκινήσουμε από την εξαγωγή των χαρακτηριστικών μεταφοράς τάσης $V_{out} = f(V_{in})$ και ρεύματος $I_D = f(V_{in})$ ενός γενικού αντιστροφέα CMOS. Η κυκλωματική μορφή ενός τέτοιου αντιστροφέα απεικονίζεται στο ακόλουθο Σχήμα 5:

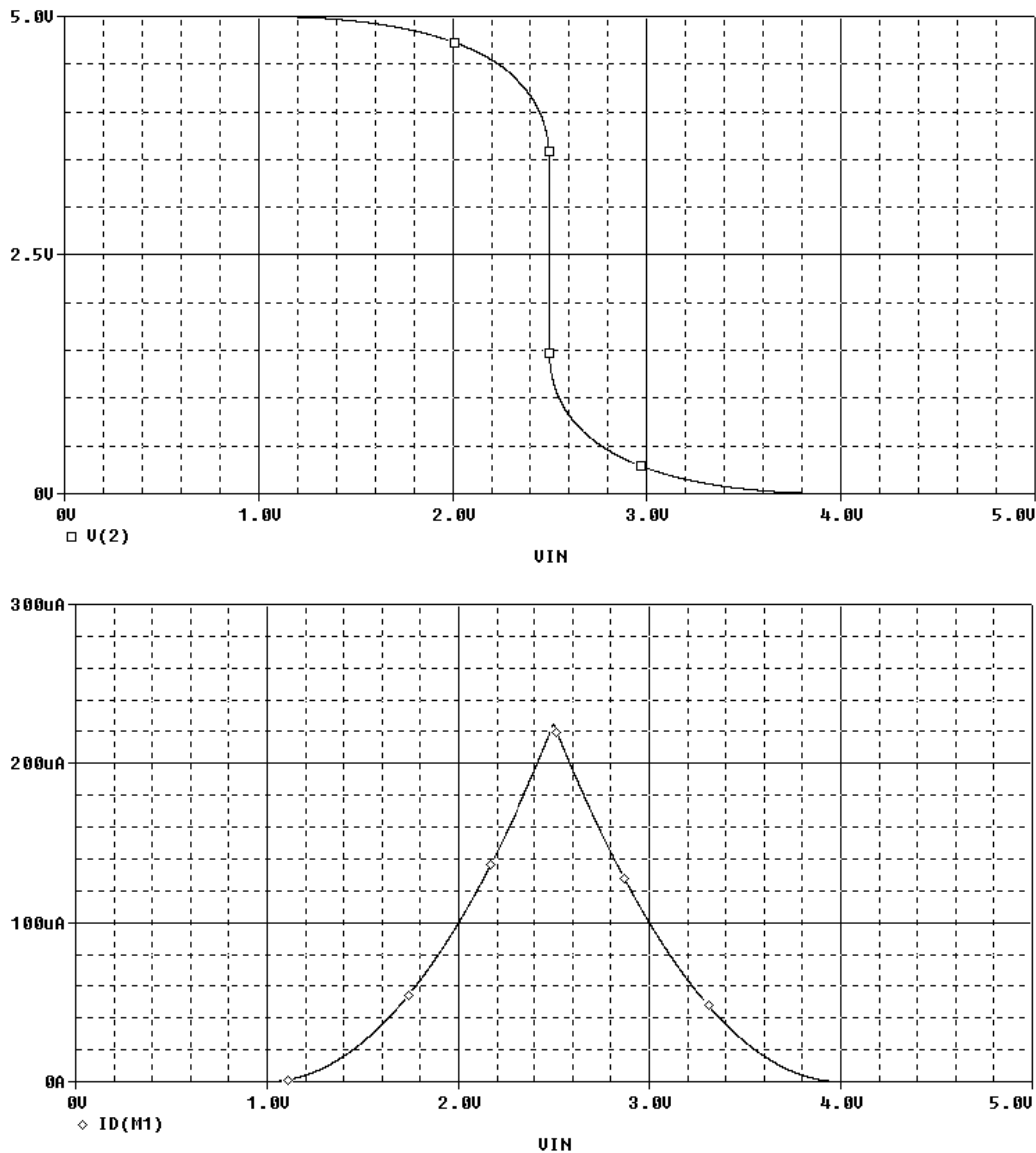


Σχήμα 5. Γενική κυκλωματική δομή ενός αντιστροφέα CMOS.

Θεωρούμε τάση τροφοδοσίας $V_{DD} = 5V$ και βασικές παραμέτρους τεχνολογίας $V_{T0,n} = 1V$, $V_{T0,p} = -1V$, $k'_n = 20 \mu A/V^2$, $k'_p = 10 \mu A/V^2$, ενώ επίσης επιλέγουμε διαστάσεις καναλιού τρανζίστορ $W_n = 10 \mu m$, $L_n = 1 \mu m$, $W_p = 20 \mu m$, και $L_p = 1 \mu m$. Μπορούμε να παρατηρήσουμε ότι επειδή ο συντελεστής διαγωγιμότητας k'_n έχει διπλάσια τιμή από τον k'_p , το τρανζίστορ nMOS θα έχει το ήμισυ του πλάτους του pMOS έτσι ώστε τα στάδια pull-up και pull-down του αντιστροφέα να είναι πλήρως συμμετρικά (το μήκος καναλιού επιλέγεται συνήθως στη μικρότερη δυνατή διάσταση που επιτρέπεται από την υπάρχουσα τεχνολογία). Το αρχείο εισόδου SPICE για την περιγραφή του αντιστροφέα CMOS και την εκτέλεση DC ανάλυσης σε αυτόν είναι το ακόλουθο (υπενθυμίζουμε ότι ο κόμβος της γείωσης αντιστοιχεί πάντοτε στο 0):

```
*Inverter DC transfer characteristics
M1 2 1 0 0 NMOS W=10u L=1u
M2 2 1 3 3 PMOS W=20u L=1u
Vdd 3 0 DC 5
Vin 1 0 DC 0
.MODEL NMOS NMOS (VTO=1 KP=20u)
.MODEL PMOS PMOS (VTO=-1 KP=10u)
.DC Vin 0 5 0.001
.PROBE V(2) ID(M1)
.END
```

Τα αποτελέσματα της προσομοίωσης για τις χαρακτηριστικές τάσης και ρεύματος του αντιστροφέα φαίνονται στο ακόλουθο Σχήμα 6:



Σχήμα 6. Χαρακτηριστικές μεταφοράς τάσης και ρεύματος ενός αντιστροφέα CMOS.

Από το παραπάνω σχήμα είναι εμφανής η πολύ καλή προσέγγιση που επιτυγχάνει ο αντιστροφέας CMOS στη χαρακτηριστική μεταφοράς τάσης ενός ιδανικού αντιστροφέα, τόσο ως προς τις τάσεις που αντιστοιχούν στα λογικά επίπεδα 0 και 1, οι οποίες πρακτικά συμπίπτουν με τις ιδανικές τάσεις $V_{OL} = 0$ και $V_{OH} = V_{DD}$ αντίστοιχα, όσο και ως προς την πολύ απότομη (έως άπειρη) κλίση της καμπύλης στην περιοχή της μετάβασης. Τα δύο σημεία στα οποία η κλίση της καμπύλης γίνεται $\frac{dV_{out}}{dV_{in}} = -1$ (σημεία μοναδιαίου κέρδους) αποτελούν τη μέγιστη τάση εισόδου V_{IL}

που αναγνωρίζεται ως λογικό 0 (χαμηλή τάση εισόδου) και την ελάχιστη τάση εισόδου V_{IH} που αναγνωρίζεται ως λογικό 1 (υψηλή τάση εισόδου) αντίστοιχα. Τα σημεία αυτά χρησιμοποιούνται στον καθορισμό των περιθωρίων θορύβου του αντιστροφέα, τα οποία ορίζονται ως $NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH}$, $NM_L = V_{IL} - V_{OL} = V_{IL}$ και είναι εξαιρετικά μεγάλα σε υλοποιήσεις CMOS, λόγω της πλήρους εναλλαγής της V_{out} μεταξύ των επιπέδων V_{DD} και 0 (επίπεδα τροφοδοσίας

και γείωσης αντίστοιχα). Επίσης, το σημείο V_M στο οποίο η τάση εισόδου γίνεται ίση με την τάση εξόδου, δηλαδή $V_{in} = V_{out}$, λογίζεται ως το σημείο της μετάβασης του αντιστροφέα από λογικό 1 σε λογικό 0 (ή και αντίστροφα). Στο σημείο αυτό παρατηρείται και η μέγιστη τιμή του ρεύματος εξόδου I_D (όπως είναι εμφανές από την αντίστοιχη χαρακτηριστική του σχήματος 2), ως άμεση συνέπεια του γεγονότος ότι και τα δύο τρανζίστορ του αντιστροφέα ευρίσκονται ταυτόχρονα στην περιοχή του κόρου.

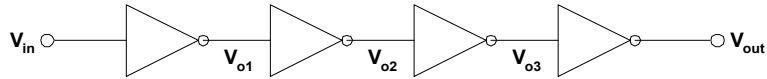
Ασκήσεις

1. Σε αντιστροφέα CMOS με τεχνολογία TSMC $0.25 \mu m$ και τάση τροφοδοσίας $V_{DD} = 2.5 V$ εκτελέστε διαδοχικές προσομοιώσεις DC με κατάλληλες τιμές πλάτους καναλιού κάθε φορά, έτσι ώστε ο λόγος των διαγωγιμοτήτων $\frac{k_n}{k_p} = \frac{k'_n(W/L)_n}{k'_p(W/L)_p}$ να

διαμορφώνεται αντίστοιχα ως $k_n/k_p = 1$, $k_n/k_p = 0.25$, και $k_n/k_p = 4$. Σχηματίστε τις γραφικές παραστάσεις των χαρακτηριστικών μεταφοράς τάσης σε κοινό συγκριτικό διάγραμμα (η απεικόνιση παραστάσεων από διαφορετικά αρχεία εισόδου στο ίδιο γράφημα γίνεται με την εντολή File > Append Waveform (.DAT) ... του PSpice). Υπολογίστε σε κάθε περίπτωση τις ποσότητες V_{IL} , V_{IH} , και V_M του αντιστροφέα, και σχολιάστε την επίδραση της τιμής του λόγου k_n/k_p στη θέση του σημείου μετάβασης V_M . Με βάση τις παρατηρήσεις σας και με κατάλληλες προσομοιώσεις, να υπολογίσετε την τιμή του λόγου k_n/k_p η οποία αναγνωρίζει σωστά στην είσοδο του αντιστροφέα ένα λογικό 0 με θόρυβο σε ποσοστό 45% της τάσης τροφοδοσίας (για τον υπολογισμό του χαμηλού περιθωρίου θορύβου να χρησιμοποιήσετε τη δυνατότητα παραγωγής μιας γραφικής παράστασης στο PSpice, η οποία γίνεται με απεικόνιση της έκφρασης $D(y)$ όπου y η εξαρτημένη μεταβλητή που παραγωγίζεται ως προς την ανεξάρτητη μεταβλητή του άξονα x).

2. Σε συμμετρικό αντιστροφέα CMOS με τεχνολογία TSMC $0.25 \mu m$, εκτελέστε σειρά προσομοιώσεων DC μειώνοντας διαρκώς την τάση τροφοδοσίας σε σχέση με την τυπική $V_{DD} = 2.5 V$. Σχολιάστε κατά πόσο αλλάζουν οι βασικές ιδιότητες (τάσεις λογικών επιπέδων εξόδου και κλίση της περιοχής μετάβασης) της χαρακτηριστικής μεταφοράς τάσης του αντιστροφέα με την προς τα κάτω κλιμάκωση της τάσης τροφοδοσίας. Ποιο είναι το κάτω όριο της V_{DD} μέχρι το οποίο διατηρείται η λειτουργία της διάταξης ως λογικός αντιστροφέας;

3. Θεωρήστε αντιστροφέα CMOS σε τεχνολογία TSMC $0.25 \mu m$ και τάση τροφοδοσίας $V_{DD} = 2.5 V$. Εκτελώντας κατάλληλες προσομοιώσεις DC, πειραματιστείτε με τα πλάτη W_n και W_p των τρανζίστορ έτσι ώστε το σημείο μετάβασης V_M να περιέλθει τελικά στο ήμισυ της τάσης τροφοδοσίας, δηλαδή $V_M = V_{DD}/2$. Εν συνεχεία θεωρήστε μια διαδοχική σύνδεση τεσσάρων τέτοιων πανομοιότυπων αντιστροφέων όπως στο παρακάτω σχήμα:

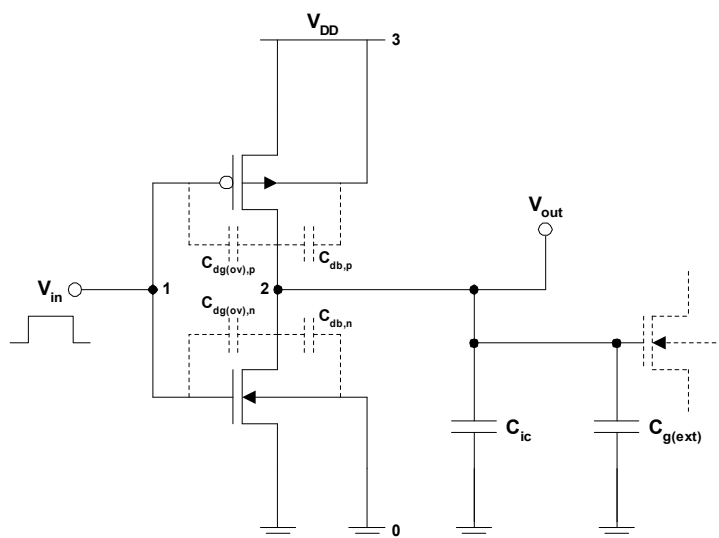


Εάν η τάση εισόδου είναι ακριβώς ίση με $V_{in} = V_{IH}$ του πρώτου αντιστροφέα, να υπολογίστε με βάση τις χαρακτηριστικές των αντιστροφέων τις ενδιάμεσες τάσεις V_{o1} , V_{o2} , V_{o3} καθώς και την τελική τάση εξόδου V_{out} (η ανάγνωση των τιμών από ένα διάγραμμα του PSpice γίνεται με την εντολή Trace > Cursor > Display και με επιλογή της επιθυμητής καμπύλης στο κάτω αριστερά υπόμνημα). Σχολιάστε εάν και σε ποιο στάδιο από τα 4 έχει αποκατασταθεί ισχυρό επίπεδο τάσης για την είσοδο της επόμενης βαθμίδας. Να επαναλάβετε τη διαδικασία για $V_{in} = V_{IL}$.

3. Ανάλυση καθυστέρησης αντιστροφέα CMOS

Η μετάβαση της λογικής κατάστασης ενός αντιστροφέα CMOS δεν μπορεί να γίνει ποτέ ακαριαία, αλλά υπάρχει πάντοτε μια καθυστέρηση μεταξύ εισόδου και εξόδου η οποία οφείλεται στο χρόνο φόρτισης/εκφόρτισης της συνολικής παρασιτικής χωρητικότητας C_L που εμφανίζεται ως φορτίο στον κόμβο της εξόδου (Σχήμα 7). Η χωρητικότητα αυτή αποτελείται από 3 διαφορετικές συνιστώσες, οι οποίες είναι: α) οι εσωτερικές χωρητικότητες $C_{d,n}$ και $C_{d,p}$ των περιοχών υποδοχής (drain) των nMOS και pMOS τρανζίστορ που συνδέονται στην έξοδο του αντιστροφέα, β) η συγκεντρωμένη (lumped) χωρητικότητα C_{wire} των αγωγών διασύνδεσης του αντιστροφέα με άλλα στοιχεία (λογικές πύλες) του κυκλώματος, και τέλος γ) το σύνολο των εξωτερικών χωρητικότητων $C_{g(ext),i}$ που σχηματίζουν οι πύλες τρανζίστορ όλων των υπολοίπων στοιχείων τα οποία οδηγούνται από την έξοδο του αντιστροφέα. Συνολικά, λοιπόν, θα έχουμε

$$C_L = (C_{d,n} + C_{d,p}) + C_{wire} + \sum_{i \in fanout} C_{g(ext),i}$$



Σχήμα 7. Παρασιτικές χωρητικότητες φορτίου στην έξοδο ενός αντιστροφέα CMOS.

Οι εσωτερικές χωρητικότητες των περιοχών υποδοχής κυριαρχούνται από τις χωρητικότητες επαφής (junction) C_j (επιφανειακή) και C_{jsw} (περιφερειακή) της ανάστροφα πολωμένης ένωσης p-n μεταξύ των περιοχών υποδοχής και υποστρώματος (ή πηγαδιού). Οι χωρητικότητες αυτές είναι μεταβαλλόμενες ανάλογα με την ανάστροφη τάση πόλωσης V_{DB} της ένωσης p-n, και δίνονται αναλυτικά από

$$\text{τις σχέσεις } C_j(V_{DB}) = \frac{A_D \cdot C_{j0}}{\left(1 - \frac{V_{DB}}{\phi_0}\right)^{m_j}} \text{ και } C_{jsw}(V_{DB}) = \frac{P_D \cdot C_{j0sw}}{\left(1 - \frac{V_{DB}}{\phi_{0sw}}\right)^{m_{jsw}}} \text{ όπου } A_D, P_D$$

είναι η επιφάνεια και η περίμετρος της υποδοχής αντίστοιχα, C_{j0} , C_{j0sw} οι χωρητικότητες επιφάνειας και περιφέρειας σε συνθήκες μηδενικής πόλωσης και ανά μονάδα επιφάνειας και μήκους αντίστοιχα (καθώς όλες οι περιφερειακές ενώσεις έχουν το ίδιο βάθος x_j το οποίο συμπίπτει με το βάθος της υποδοχής), ϕ_0 , ϕ_{0sw} τα ενδογενή δυναμικά της ένωσης στην επιφάνεια και την περιφέρεια αντίστοιχα, και m_j , m_{jsw} οι συντελεστές διαβάθμισης (grading) της ένωσης οι οποίοι συνήθως κυμαίνονται μεταξύ των τιμών 1/3 (για γραμμική διαβάθμιση) και 1/2 (για απότομη διαβάθμιση). Όλες οι παραπάνω ποσότητες μπορούν να οριστούν στο SPICE με τις αρμόδιες παραμέτρους μοντέλου AD, PD, CJ, CJSW, PB, PBSW, MJ, και MJSW αντίστοιχα (ο ορισμός των AD και PD γίνεται μαζί με τις διαστάσεις καναλιού και τις ανάλογες παραμέτρους AS και PS της περιοχής πηγής στη γραμμή δήλωσης του τρανζίστορ). Στην εσωτερική χωρητικότητα επαφής της υποδοχής μπορεί επίσης να προστεθεί και η (ανεξάρτητη της τάσης αλλά μικρή γενικά) χωρητικότητα επικάλυψης (overlap) $C_{dg(ov)}$ μεταξύ των περιοχών υποδοχής και πύλης σε κάθε τρανζίστορ, η τιμή της οποίας ανά μονάδα πλάτους καναλιού ορίζεται στο SPICE με την παράμετρο CGDO (και αντίστοιχα με τις παραμέτρους CGSO και CGBO για την επικάλυψη στις περιοχές πηγής και υποστρώματος). Εναλλακτικά μπορεί να οριστεί το μήκος της πλευρικής διάχυσης X_d και το πάχος του οξειδίου πύλης t_{ox} του τρανζίστορ μέσω των παραμέτρων LD και TOX αντίστοιχα, και η χωρητικότητα επικάλυψης να υπολογιστεί τελικά από τη σχέση $C_{dg(ov)} = \frac{\epsilon_{ox}}{t_{ox}} W X_d$. Όσον αφορά την

εξωτερική χωρητικότητα πύλης στην είσοδο των fanout τρανζίστορ, αυτή προέρχεται από την ύπαρξη του μονωτικού (διηλεκτρικού) οξειδίου πύλης στον ενδιάμεσο χώρο μεταξύ πύλης και καναλιού, και η τιμή της θα διαφέρει ανάλογα με την περιοχή λειτουργίας του οδηγούμενου τρανζίστορ οπότε θα εξαρτάται και αυτή από την τάση. Στο SPICE η χωρητικότητα πύλης μοντελοποιείται προσεγγιστικά ως

$$C_{g,off} = C_{gb} = \frac{\epsilon_{ox}}{t_{ox}} WL, C_{g,lin} = C_{gs} + C_{gd} = \frac{\epsilon_{ox}}{t_{ox}} WL, C_{g,sat} = C_{gs} \approx \frac{2}{3} \cdot \frac{\epsilon_{ox}}{t_{ox}} WL \text{ ανάλογα}$$

με το εάν το οδηγούμενο τρανζίστορ βρίσκεται σε περιοχή αποκοπής, γραμμικής λειτουργίας, ή κόρου αντίστοιχα (αν και υπάρχει η δυνατότητα ακριβούς μοντελοποίησης της C_g μέσω των πραγματικών σχέσεων φορτίου-τάσης μέσα στο τρανζίστορ, εφόσον οριστούν οι κατάλληλες παράμετροι στο πρόγραμμα εισόδου), και απαιτεί μόνο τον καθορισμό της τιμής του TOX για τον υπολογισμό της (προφανώς οι ποσότητες W , L , και t_{ox} χαρακτηρίζουν το τρανζίστορ το οποίο λαμβάνει την οδήγηση). Σημειώνεται ότι εάν έχει προσδιοριστεί κάποιο μήκος πλευρικής διάχυσης X_d , τότε το πραγματικό μήκος καναλιού υπολογίζεται

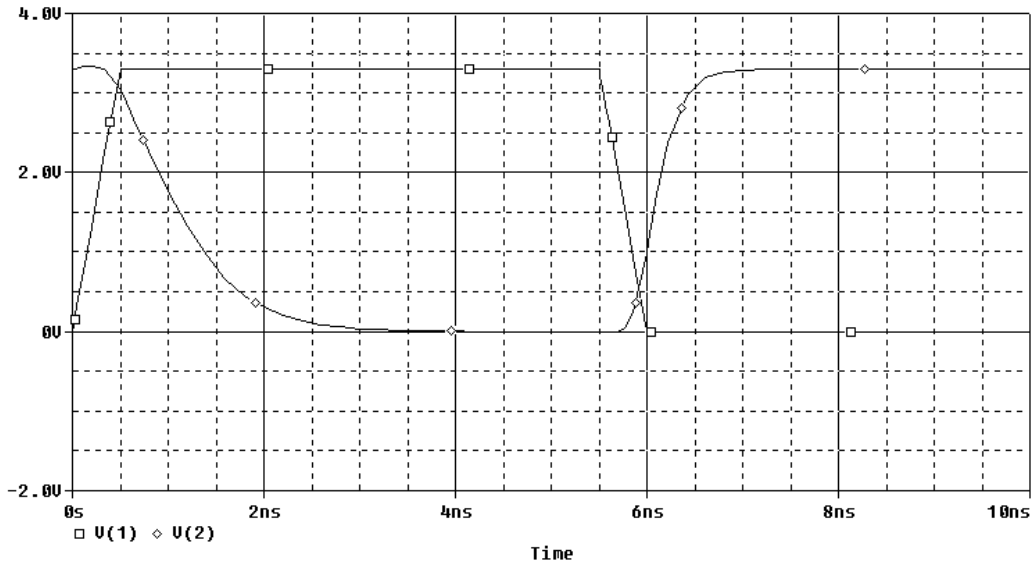
εσωτερικά ως $L = L_M - 2X_d$ όπου L_M είναι το μήκος της μάσκας (mask length) το οποίο αναγράφεται στη δήλωση του τρανζίστορ. Πάντως, χωρίς πολύ μεγάλη απώλεια ακρίβειας η χωρητικότητα πύλης μπορεί να θεωρηθεί ότι είναι κατά προσέγγιση σταθερή και ίση με $C_g = \frac{\epsilon_{ox}}{t_{ox}}WL$ σε όλες τις περιπτώσεις. Τέλος, ο

υπολογισμός της παρασιτικής χωρητικότητας των γραμμών διασύνδεσης (καθώς και η ακρίβεια που επιτυγχάνεται από την υπόθεση της μίας και μόνο συγκεντρωμένης χωρητικότητας) είναι ένα θέμα το οποίο θα μας απασχολήσει στην επόμενη ενότητα.

Ως παράδειγμα στα ανωτέρω θα θεωρήσουμε έναν αντιστροφέα CMOS με τάση τροφοδοσίας $V_{DD} = 3.3V$, βασικές παραμέτρους τεχνολογίας $V_{T0,n} = 0.85V$, $V_{T0,p} = -0.725V$, $k'_n = 104.25 \mu A/V^2$, $k'_p = 37.5 \mu A/V^2$, διαστάσεις καναλιού $W_n = 2 \mu m$, $W_p = 5.5 \mu m$, $L_n = L_p = 0.8 \mu m$, και μεγέθη επιφάνειας και περιμέτρου για τις περιοχές πηγής και υποδοχής $A_{D,n} = A_{S,n} = 10 \text{ pm}^2$, $P_{D,n} = P_{S,n} = 14 \mu m$, $A_{D,p} = A_{S,p} = 27.5 \text{ pm}^2$, και $P_{D,p} = P_{S,p} = 21 \mu m$. Οι παράμετροι υπολογισμού των εσωτερικών χωρητικοτήτων λαμβάνονται (μαζί με τις V_{T0} , k') από τις τυπικές τιμές του μοντέλου MOS (επιπέδου 2) για τεχνολογία $0.8 \mu m$ που δίνονται στο παράρτημα B, ενώ επίσης θεωρούμε συνολική εξωτερική χωρητικότητα πύλης (ανεξαρτήτως τάσεων) και διασυνδέσεων $C_{L(ext)} = C_{wire} + C_{g(ext)} = 100 \text{ fF}$. Η ανάλυση της καθυστέρησης του αντιστροφέα απαιτεί την προσδιορισμό της μεταβατικής (transient) απόκρισης $V_{out} = f(t)$ για κάποιον παλμό εισόδου V_{in} , ο οποίος στη συγκεκριμένη περίπτωση υποθέτουμε ότι έχει περίοδο $T = 10 \text{ ns}$, πλάτος παλμού (pulse width) $PW = 5 \text{ ns}$, και χρόνους μετώπων (edges) ανόδου και καθόδου $t_r = t_f = 0.5 \text{ ns}$. Το αρχείο εισόδου SPICE για την περιγραφή του εν λόγω αντιστροφέα και την εκτέλεση μεταβατικής ανάλυσης σε αυτόν είναι το ακόλουθο:

```
*Inverter propagation delay
M1 2 1 0 0 NMOS W=2u L=0.8u AD=10p AS=10p PD=14u PS=14u
M2 2 1 3 3 PMOS W=5.5u L=0.8u AD=27.5p AS=27.5p PD=21u PS=21u
CLx 2 0 0.1p
Vdd 3 0 DC 3.3
Vin 1 0 PULSE (0 3.3 0 0.5n 0.5n 5n 10n)
.MODEL NMOS NMOS (LEVEL=2 VTO=0.85 KP=104.25U CJ=0.3E-3 MJ=0.45
+ CJSW=0.25E-9 MJSW=0.33 PB=0.85 CGSO=0.35E-9 CGDO=0.35E-9 CGBO=0.15E-9
+ TOX=15.5E-9 LD=0 WD=0.6E-6)
.MODEL PMOS PMOS (LEVEL=2 VTO=-0.725 KP=37.5U CJ=0.5E-3 MJ=0.47
+ CJSW=0.21E-9 MJSW=0.29 PB=0.8 CGSO=0.35E-9 CGDO=0.35E-9 CGBO=0.15E-9
+ TOX=15E-9 LD=0.075E-6 WD=0.35E-6)
.TRAN 0.001n 10n
.PROBE V(1) V(2)
.END
```

Τα αποτελέσματα της προσομοίωσης για τη μεταβατική απόκριση του αντιστροφέα φαίνονται στο ακόλουθο Σχήμα 8:



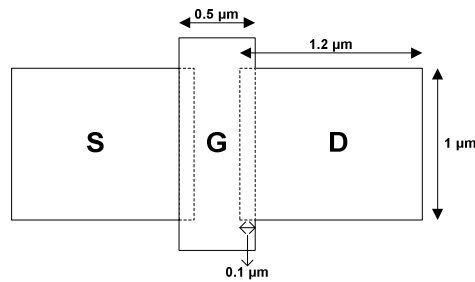
Σχήμα 8. Μεταβατική απόκριση παλμού ενός αντιστροφέα CMOS.

Η καθυστέρηση διάδοσης (propagation delay) του αντιστροφέα καθορίζεται από τους χρόνους t_{pHL} και t_{pLH} της μετάβασης από υψηλή σε χαμηλή στάθμη (μέσω του pull-down σταδίου τύπου n) και από χαμηλή σε υψηλή στάθμη (μέσω του pull-up σταδίου τύπου p) αντίστοιχα, οι οποίοι ορίζονται και στις δύο περιπτώσεις ως οι διαφορές μεταξύ των χρονικών στιγμών t_1 και t_2 όπου η είσοδος και η έξοδος φτάνουν στο ήμισυ της τάσης τροφοδοσίας (δηλαδή $V_{in}(t_1) = V_{DD}/2$ και $V_{out}(t_2) = V_{DD}/2$). Από το πιο πάνω διάγραμμα μπορούμε να παρατηρήσουμε ότι οι συγκεκριμένοι χρόνοι δεν είναι ιδιαίτερα ικανοποιητικοί για τις προηγούμενες επιλογές πλατών καναλιού W_n και W_p , οπότε τα μεγέθη των τελευταίων θα πρέπει να αυξηθούν αναλόγως (υπενθυμίζουμε ότι τα πλάτη καναλιού είναι τελικά οι μοναδικοί βαθμοί ελευθερίας που έχει στη διάθεσή του ο σχεδιαστής για τον έλεγχο της καθυστέρησης, καθώς η τάση τροφοδοσίας και οι βασικές παράμετροι τεχνολογίας λαμβάνονται ως δεδομένες από την υπάρχουσα διαδικασία κατασκευής ενώ τα μήκη καναλιού επιλέγονται συνήθως στην ελάχιστη δυνατή διάσταση).

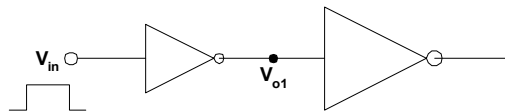
Ασκήσεις

1. Επαναλάβετε το προηγούμενο παράδειγμα για τεχνολογία TSMC $0.25 \mu m$ και τάση τροφοδοσίας $V_{DD} = 2.5 V$, μεταβάλλοντας σταδιακά την τιμή του πλάτους του nMOS τρανζίστορ σε $W_n = 2 \mu m$, $W_n = 3.2 \mu m$, $W_n = 6 \mu m$, $W_n = 10 \mu m$, και $W_n = 20 \mu m$, και διατηρώντας ταυτόχρονα το λόγο του με το πλάτος W_p του pMOS τρανζίστορ (ο οποίος ως γνωστόν καθορίζει το DC σημείο μετάβασης του αντιστροφέα) στην τιμή $W_p / W_n = k'_n / k'_p$ (προσέξτε γιατί με την αλλαγή των πλατών αλλάζουν ταυτόχρονα και οι τιμές της επιφάνειας/περιμέτρου των περιοχών πηγής και υποδοχής). Σχεδιάστε τις μεταβατικές αποκρίσεις του αντιστροφέα για όλες τις περιπτώσεις σε κοινό διάγραμμα μεταξύ τους, και εξηγήστε γιατί παρατηρείται μια πτώση του ρυθμού μείωσης της καθυστέρησης με αυξανόμενες τιμές του πλάτους.

2. Η περιοχή καναλιού του nMOS τρανζίστορ ενός αντιστροφέα CMOS φαίνεται στο παρακάτω σχήμα (ο αντιστροφέας είναι συμμετρικός, σε τεχνολογία TSMC 0.25 μm και με τάση τροφοδοσίας $V_{DD} = 2.5\text{ V}$):

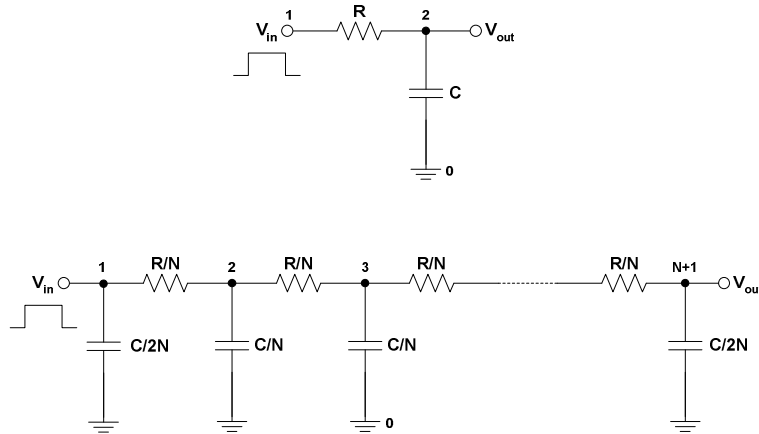


Θεωρήστε ότι η έξοδος του αντιστροφέα (δηλαδή το σημείο V_{o1} του παρακάτω σχήματος) οδηγεί έναν άλλο αντιστροφέα με διαδοχικά 1X, 2X, 3X, ..., 20X μεγέθη πλατών W_n και W_p (οι υπόλοιπες διαστάσεις των τρανζίστορ παραμένουν ίδιες). Να υπολογιστούν οι καθυστερήσεις t_{pHL} και t_{pLH} για κάθε μία από τις ανωτέρω καταστάσεις, με παλμό εισόδου που έχει ακαριαία μέτωπα ανόδου και καθόδου, και να γίνουν οι γραφικές παραστάσεις των καθυστερήσεων συναρτήσει του λόγου $C_{L(ext)}/C_{in}$ του αντιστροφέα (αγνοήστε τη χωρητικότητα των διασυνδέσεων).



4. Ανάλυση καθυστέρησης σε γραμμές διασύνδεσης

Στις περισσότερες πρακτικές περιπτώσεις (και ειδικά σε κυκλώματα βαθέως υπομικρού) η επίδραση των γραμμών διασύνδεσης δεν είναι δυνατόν να παρασταθεί από μία και μόνο συγκεντρωμένη χωρητικότητα, αλλά θα πρέπει να ληφθεί υπόψη και η πρόσθετη καθυστέρηση που επάγεται από τη μη μηδενική αντίσταση κατά μήκος των αγωγών μετάλλου ή πολυπυριτίου. Η μοντελοποίηση του συνδυασμού αντίστασης και χωρητικότητας μπορεί να γίνει είτε με τη γνωστή συγκεντρωμένη μορφή, είτε ακριβέστερα ως ένα πλήρως καταναμημένο (distributed) RC δίκτυο, όπως φαίνεται στο ακόλουθο Σχήμα 9:



Σχήμα 9. Μοντελοποίηση γραμμών διασύνδεσης ως ένα συγκεντρωμένο ή καταναμημένο δίκτυο RC.

Στο πιο πάνω σχήμα οι ποσότητες R και C αντιπροσωπεύουν τη συνολική αντίσταση και χωρητικότητα της γραμμής αντίστοιχα, ενώ N είναι ο αριθμός των τμημάτων στα οποία αυτές διαιρούνται για την προσέγγιση της καταναμημένης συμπεριφοράς (η πραγματική συμπεριφορά της γραμμής λαμβάνεται προφανώς για $N \rightarrow \infty$). Η τιμή της R υπολογίζεται από το γνωστό τύπο $R = \frac{\rho}{t} \frac{l}{w} = R_{sq} \frac{l}{w}$, όπου l , w , t , και ρ είναι οι διαστάσεις (μήκος, πλάτος, πάχος) και η ειδική αντίσταση υλικού της γραμμής, ενώ η ποσότητα $R_{sq} = \frac{\rho}{t}$ χρησιμοποιείται για να ορίσει την αντίσταση φύλλου (sheet resistance). Από την άλλη η συνολική χωρητικότητα C υπολογίζεται ως $C = \bar{C}_{pp}lw + 2\bar{C}_{ff}l$, όπου \bar{C}_{pp} και \bar{C}_{ff} είναι οι χωρητικότητες επιφάνειας (λόγω του κλασικού μηχανισμού παραλλήλων πλακών μεταξύ στρωμάτων) και περιφέρειας (λόγω των πλευρικών παρασιτικών πεδίων ή fringing fields) της γραμμής, ενώ για μικρότερες τεχνολογίες θα πρέπει να ληφθούν υπόψη και οι τυχόν πλευρικές χωρητικότητες από γειτονικές γραμμές στο ίδιο στρώμα. Ορισμένες τυπικές τιμές των R_{sq} , \bar{C}_{pp} , \bar{C}_{ff} (καθώς και των αντιστάσεων επαφής μεταξύ διαφορετικών υλικών) για τεχνολογία $0.8\mu\text{m}$ δίνονται στο παράρτημα Β.

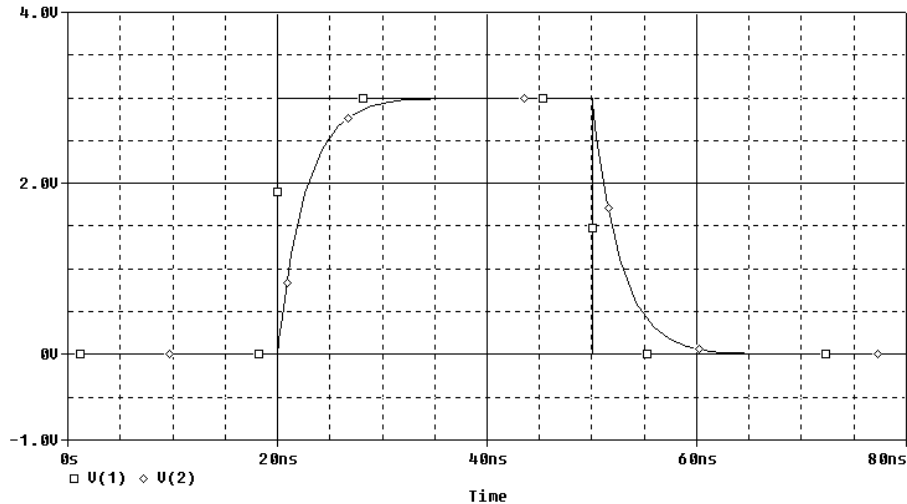
Ως αντιπροσωπευτικό παράδειγμα ας θεωρήσουμε μια μεμονωμένη (ομοιόμορφη) γραμμή πολυυριτίου πάνω από υπόστρωμα η οποία διαθέτει συνολικό μήκος $l = 1000 \mu\text{m}$ και πλάτος $w = 4 \mu\text{m}$. Υποθέτοντας αντίσταση φύλλου $R_{sq} = 30 \Omega/\text{sq}$ και επιλέγοντας τις κατάλληλες τιμές χωρητικότητας επιφάνειας $\bar{C}_{pp} = 0.066 \text{ fF}/\mu\text{m}^2$ και περιφέρειας $\bar{C}_{ff} = 0.046 \text{ fF}/\mu\text{m}$ από τον πίνακα του παραρτήματος, η συνολική αντίσταση και χωρητικότητα της γραμμής προκύπτουν αντίστοιχα ως $R = 7.5 \text{ k}\Omega$ και $C = 356 \text{ fF}$. Θεωρώντας τώρα το μοντέλο του απλού συγκεντρωμένου RC δικτύου για τη γραμμή, το οποίο σημαίνει πως το σύνολο της αντίστασης και χωρητικότητας συγκεντρώνεται σε ένα μοναδικό σημείο, η μεταβατική απόκριση αυτής (για τον υπολογισμό της καθυστέρησης) σε παλμό με ακαριαία μέτωπα ανόδου και καθόδου μπορεί να προσδιοριστεί από το SPICE με το ακόλουθο πολύ απλό αρχείο:

```

*Interconnection delay analysis
R1 1 2 7.5k
C1 2 0 0.356p
Vin 1 0 PULSE (0 3 20n 0 0 30n 80n)
.TRAN 0.001n 80n
.PROBE V(1) V(2)
.END

```

Τα αποτελέσματα της προσομοίωσης φαίνονται στο ακόλουθο Σχήμα 10:



Σχήμα 10. Μεταβατική απόκριση παλμού για το μοντέλο του συγκεντρωμένου δικτύου RC μιας γραμμής διασύνδεσης.

Η καθυστέρηση διάδοσης που προκύπτει από την απόκριση του απλού συγκεντρωμένου μοντέλου αποτελεί βέβαια μια προσέγγιση καθώς στην πραγματικότητα οι παράμετροι της γραμμής είναι κατανεμημένες. Για την αποτίμηση της ακρίβειας που επιτυγχάνει το μοντέλο αυτό είναι αναγκαία η σύγκρισή του με τα πιο πολύπλοκα κατανεμημένα μοντέλα για διάφορες τιμές του πλήθους τμημάτων N .

Άσκηση

1. Επαναλάβετε το προηγούμενο παράδειγμα θεωρώντας διαδοχικά τα κατανεμημένα μοντέλα με αριθμό τμημάτων $N = 2, 3, 4$ και 5 για τη γραμμή διασύνδεσης πολυπυριτίου. Σχεδιάστε τις μεταβατικές αποκρίσεις παλμού των μοντέλων αυτών σε κοινό διάγραμμα με την απόκριση του απλού συγκεντρωμένου μοντέλου (χρησιμοποιήστε την ίδια αρίθμηση για τους κόμβους εξόδου), και αξιολογήστε ποιοτικά το βέλτιστο ανάμεσά τους ως προς το συνολικό συνδυασμό ακρίβειας και πολυπλοκότητας.

5. Υποκυκλώματα στο SPICE

Η διαχείριση αρχείων του SPICE είναι ευκολότερη όταν συνηθισμένα ή/και επαναλαμβανόμενα κυκλωματικά στοιχεία ορίζονται ως *υποκυκλώματα* (subcircuits). Η δήλωση ενός υποκυκλώματος ακολουθεί τη σύνταξη `.SUBCKT <name> <nodelist> [PARAMS: <name>=<value>]`, ενώ η αναφορά σε κάποιο υποκύκλωμα από μεγαλύτερα κυκλώματα γίνεται με τη σύνταξη `X<name>`

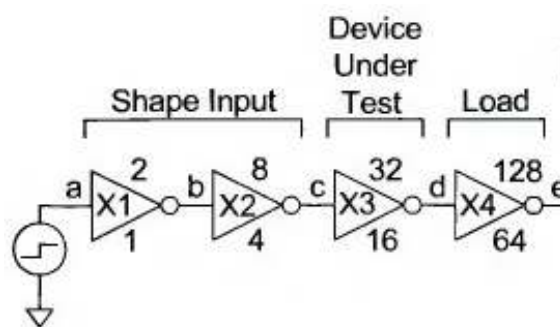
<nodelist> <subckt name> [PARAMS: <name>=<value>]. Το επόμενο παράδειγμα περιγράφει το κύκλωμα των τεσσάρων διαδοχικών αντιστροφών του Σχήματος 11 με τη χρήση ενός υποκυκλώματος αντιστροφέα, και εκτελεί μεταβατική ανάλυση με σκοπό τον υπολογισμό καθυστερήσεων.

*Fanout-of-4 (FO4) inverter delay (for a realistic inverter)

```
.SUBCKT inv 1 2 99 PARAMS: Wn=1u Wp=2u
M1 2 1 0 0 NMOS W={Wn} L=0.25u AD={Wn*5u} AS={Wn*5u} PD={2*Wn+10u} PS={2*Wn+10u}
M2 2 1 99 99 PMOS W={Wp} L=0.25u AD={Wp*5u} AS={Wp*5u} PD={2*Wp+10u} PS={2*Wp+10u}
.ENDS

Vdd 99 0 DC 1.8
Vin 1 0 PULSE 0 1.8 0p 0p 0p 5n 10n
X1 1 2 99 inv PARAMS: Wn=1u Wp=2u
X2 2 3 99 inv PARAMS: Wn=4u Wp=8u
X3 3 4 99 inv PARAMS: Wn=16u Wp=32u
X4 4 5 99 inv PARAMS: Wn=64u Wp=128u
.INC "tsmc025.sp"
.TEMP 70
.TRAN 1p 10n
.PROBE V(3) V(4)
.END
```

Στο πιο πάνω αρχείο, το υποκύκλωμα του αντιστροφέα με όνομα `inv` περιλαμβάνει τρεις ακροδέκτες (1, 2, 99), καθώς και τα πλάτη του nMOS και pMOS τρανζίστορ ως παραμέτρους (οι προκαθορισμένες τιμές τους είναι $W_n = 1 \mu m$ και $W_p = 2 \mu m$ αντίστοιχα). Οι παράμετροι χρησιμοποιούνται σε εκφράσεις που βρίσκονται μέσα σε {}, και οι οποίες μπορεί επίσης να περιλαμβάνουν παρενθέσεις, σταθερές, καθώς και βασικές και προηγμένες μαθηματικές πράξεις (π.χ. +, -, *, /, **). Υποκυκλώματα που χρησιμοποιούνται από διαφορετικά μεγαλύτερα κυκλώματα συνήθως αποθηκεύονται σε ξεχωριστά αρχεία βιβλιοθήκης και ανακτώνται με την εντολή `.INC "<filename>"`.



Σχήμα 11. Κύκλωμα για υπολογισμό της καθυστέρησης ενός FO4 αντιστροφέα.

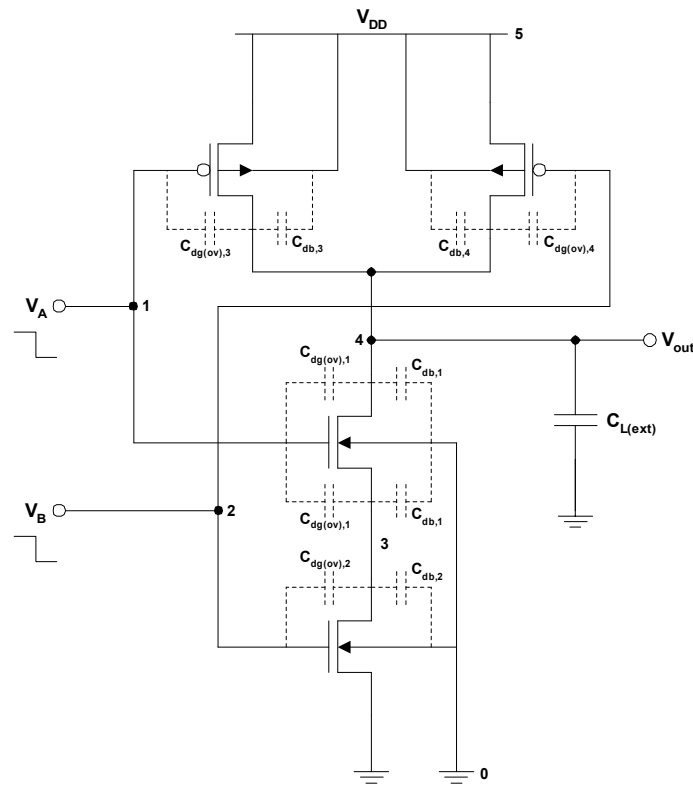
Το κύκλωμα του Σχήματος 11 χρησιμοποιείται συνήθως για τον υπολογισμό της καθυστέρησης ενός αντιστροφέα με 4 φορές το μέγεθός του σε fanout (fanout-of-4 ή FO4 inverter), η οποία αποτελεί το σημαντικότερο μέτρο της ταχύτητας που μπορεί να επιτευχθεί από ένα κύκλωμα σε μια συγκεκριμένη τεχνολογία κατασκευής. Στην περίπτωση αυτή, ο αντιστροφέας προς εξέταση είναι ο X3, με τον X4 να αποτελεί το FO4 φορτίο του, ενώ οι X1 και X2 δημιουργούν μια ρεαλιστική (αντί για ακαριαία) κλίση του σήματος εισόδου στον X3.

Άσκηση

1. Να δημιουργηθεί ένα υποκύκλωμα καταναμημένου RC μοντέλου γραμμής διασύνδεσης το οποίο έχει ως παραμέτρους το μήκος της γραμμής και την αντίσταση και χωρητικότητά της ανά μονάδα μήκους. Ο αριθμός N των τμημάτων να είναι εκείνος που αξιολογήθηκε ποιοτικά ως βέλτιστος από την προηγούμενη εργαστηριακή άσκηση ($N \geq 3$). Εν συνεχεία να χρησιμοποιηθεί το υποκύκλωμα σε συνδυασμό με το κύκλωμα του Σχήματος 11, για τον υπολογισμό των καθυστερήσεων t_{pLH} και t_{pHL} ενός FO4 αντιστροφέα με γραμμή διασύνδεσης μήκους $l = 5000 \mu m$, και τιμές αντίστασης και χωρητικότητας ανά μονάδα μήκους ίσες με $\bar{R}_{wire} = 0.075 \Omega / \mu m$ και $\bar{C}_{wire} = 0.1 fF / \mu m$ αντίστοιχα.

6. Καθυστέρηση γενικών πυλών CMOS

Η ανάλυση των γενικών συνδυαστικών πυλών CMOS διαφέρει σε σχέση με εκείνη του απλού αντιστροφέα ως προς το ότι υπάρχουν περισσότεροι του ενός συνδυασμοί εισόδων οι οποίοι δίνουν υψηλή και χαμηλή στάθμη στην έξοδο της πύλης. Αυτό σημαίνει ότι και οι καθυστερήσεις διάδοσης t_{pHL} και t_{pLH} θα εξαρτώνται από τα συγκεκριμένα διανύσματα που εφαρμόζονται στην είσοδο της πύλης προκαλώντας τη μετάβαση της εξόδου, καθώς για μεν παράλληλες διατάξεις ενδέχεται να άγουν άνω του ενός τρανζίστορ προσφέροντας επιπλέον ρεύμα για τη φόρτιση/εκφόρτιση της εξόδου, ενώ για την περίπτωση των σειριακών διατάξεων υπάρχουν εσωτερικοί κόμβοι με πρόσθετες χωρητικότητες οι οποίες (ανάλογα με τα διανύσματα εισόδου) ενδέχεται να απαιτούν και αυτές φόρτιση/εκφόρτιση. Εκτός από τη διαφορετική συμπεριφορά ανάλογα με τα διανύσματα εισόδου, δεν θα πρέπει επίσης να ξεχνάμε και το φαινόμενο σώματος (body effect) το οποίο σε γενικές πύλες CMOS εμφανίζεται όταν η πηγή και το υπόστρωμα του τρανζίστορ δεν βρίσκονται στο ίδιο δυναμικό, κάτι που έχει σαν αποτέλεσμα την αύξηση της τάσης κατωφλίου σε αναλογία με τις παραμέτρους μοντέλου γ (συντελεστής πόλωσης υποστρώματος) και $|2\phi_F|$ (δυναμικό επιφάνειας στην ισχυρή αντιστροφή). Οι παράμετροι αυτές ορίζονται στο SPICE ως GAMMA και PHI αντίστοιχα, ενώ τυπικές τιμές τους για τεχνολογία $0.8\mu m$ είναι οι (βλ. παράρτημα Β) $\gamma_n = 0.64 V^{1/2}$, $\gamma_p = 0.44 V^{1/2}$, $|2\phi_F|_n = 0.79 V$, $|2\phi_F|_p = 0.76 V$. Για την πρακτική διερεύνηση των ανωτέρω ως θεωρήσουμε την πύλη NAND δύο εισόδων η οποία φαίνεται στο Σχήμα 12.



Σχήμα 12. Λογική πύλη NAND τεχνολογίας CMOS και παρασιτικές χωρητικότητες που καθορίζουν τη μεταβατική συμπεριφορά αυτής.

Τα τρανζίστορ της πύλης έχουν τις ίδιες διαστάσεις με τα αντίστοιχα του αντιστροφέα που εξετάστηκε στο παράδειγμα της ενότητας 3, με τη διαφορά ότι το κατώτερο nMOS σκοπίμως επιλέγεται μεγαλύτερο έτσι ώστε η χωρητικότητα του εσωτερικού κόμβου να είναι αρκούντως μεγάλη και η διαφορά στις καθυστερήσεις περισσότερο εμφανής. Το αρχείο εισόδου SPICE για την περιγραφή της πύλης και την ανάλυση της μετάβασης από χαμηλή σε υψηλή στάθμη μέσω του διανύσματος εισόδου $A=0, B=0$ (αρχικό διάνυσμα λογικού 0 προφανώς το $A=1, B=1$) είναι το ακόλουθο:

```
*NAND2 propagation delay
M1 4 1 3 0 NMOS W=2u L=0.8u AD=10p AS=10p PD=14u PS=14u
M2 3 2 0 0 NMOS W=50u L=0.8u AD=250p AS=250p PD=110u PS=110u
M3 4 1 5 5 PMOS W=5.5u L=0.8u AD=27.5p AS=27.5p PD=21u PS=21u
M4 4 2 5 5 PMOS W=5.5u L=0.8u AD=27.5p AS=27.5p PD=21u PS=21u
CLx 4 0 0.1p
Vdd 5 0 DC 3.3
VinA 1 0 PULSE (3.3 0 1n 1.5n 1.5n 2.5n 10n)
VinB 2 0 PULSE (3.3 0 1n 1.5n 1.5n 2.5n 10n)
.MODEL NMOS NMOS (LEVEL=2 VTO=0.85 KP=104.25U CJ=0.3E-3 MJ=0.45
+CJSW=0.25E-9 MJSW=0.33 PB=0.85 CGSO=0.35E-9 CGDO=0.35E-9 CGBO=0.15E-9
+TOX=15.5E-9 LD=0 WD=0.6E-6 GAMMA=0.64 PHI=0.79)
.MODEL PMOS PMOS (LEVEL=2 VTO=-0.725 KP=37.5U CJ=0.5E-3 MJ=0.47
+CJSW=0.21E-9 MJSW=0.29 PB=0.8 CGSO=0.35E-9 CGDO=0.35E-9 CGBO=0.15E-9
+TOX=15E-9 LD=0.075E-6 WD=0.35E-6 GAMMA=0.44 PHI=0.76)
.TRAN 0.001n 5n
.PROBE V(1) V(2) V(4)
.END
```

Για την ίδια μετάβαση της εξόδου μέσω του διανύσματος $A=0, B=1$ αντικαθιστούμε τις γραμμές διεγέρσεων με τις:

```

...
VinA 1 0 PULSE (3.3 0 1n 1.5n 1.5n 2.5n 10n)
VinB 2 0 DC 3.3
...

```

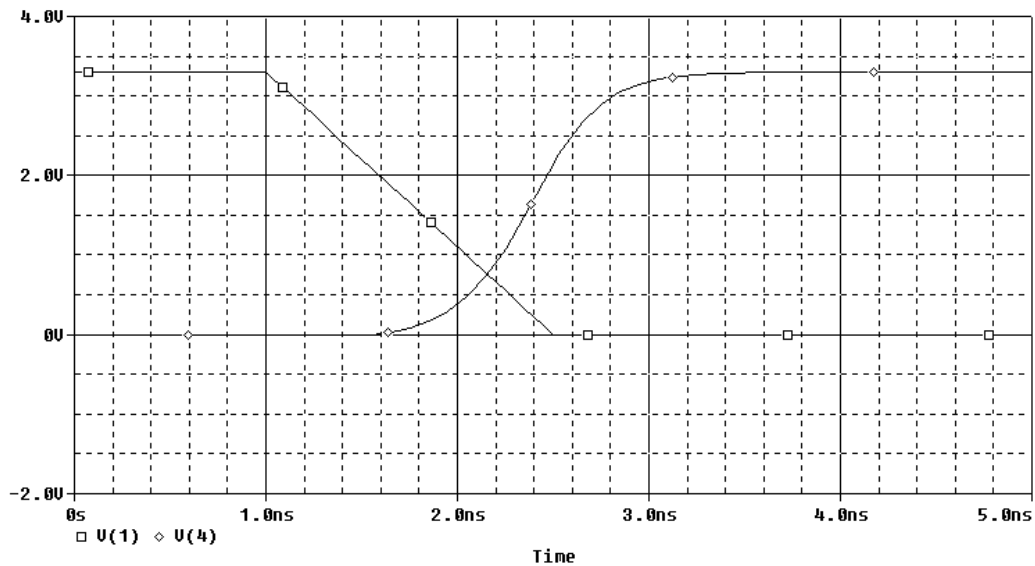
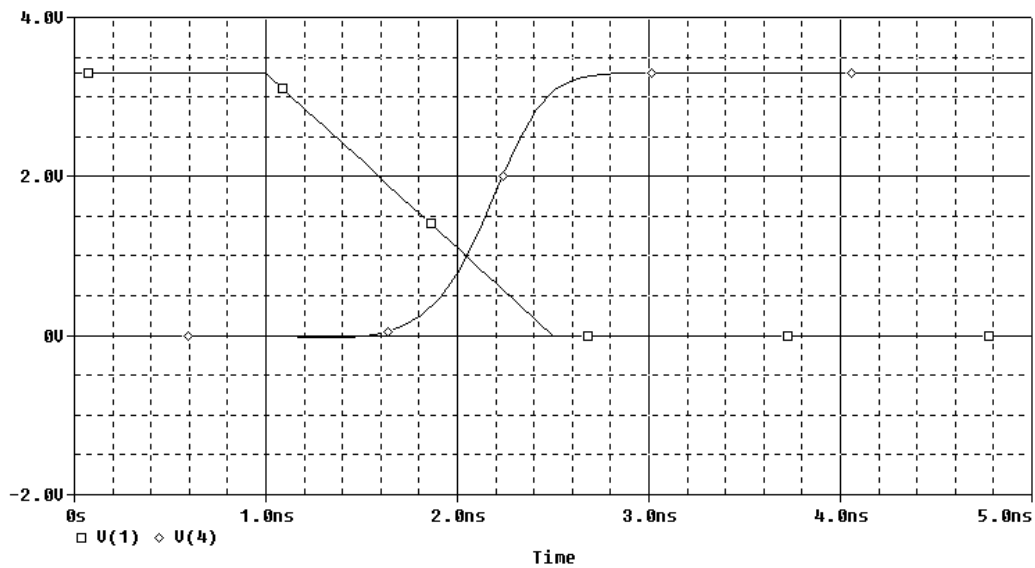
ενώ για τη μετάβαση της εξόδου μέσω του διανύσματος $A=1, B=0$ οι γραμμές διεγέρσεων αντικαθίστανται από τις:

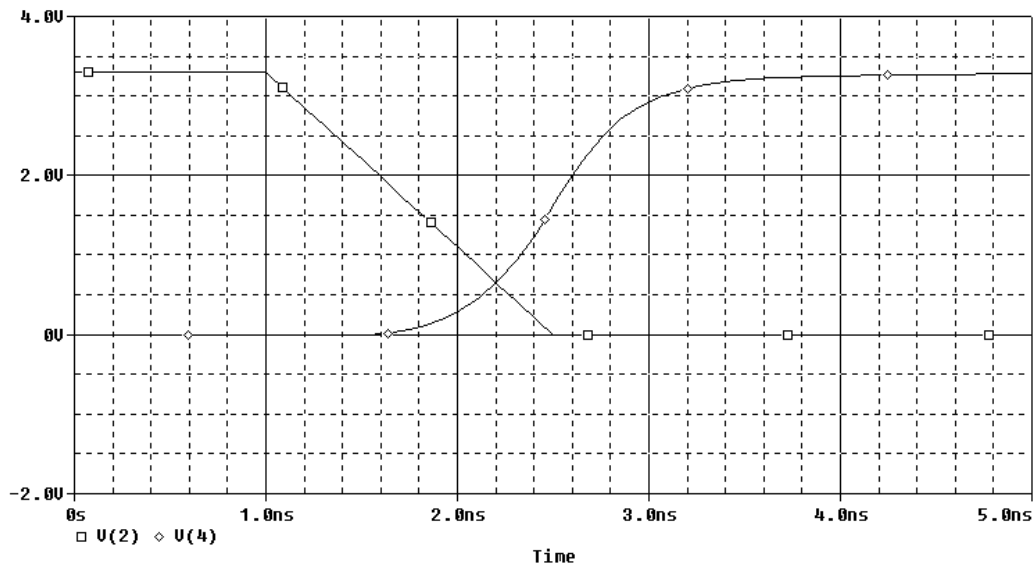
```

...
VinA 1 0 DC 3.3
VinB 2 0 PULSE (3.3 0 1n 1.5n 1.5n 2.5n 10n)
...

```

Τα αποτελέσματα της προσομοίωσης για τις τρεις περιπτώσεις φαίνονται στο ακόλουθο Σχήμα 13:





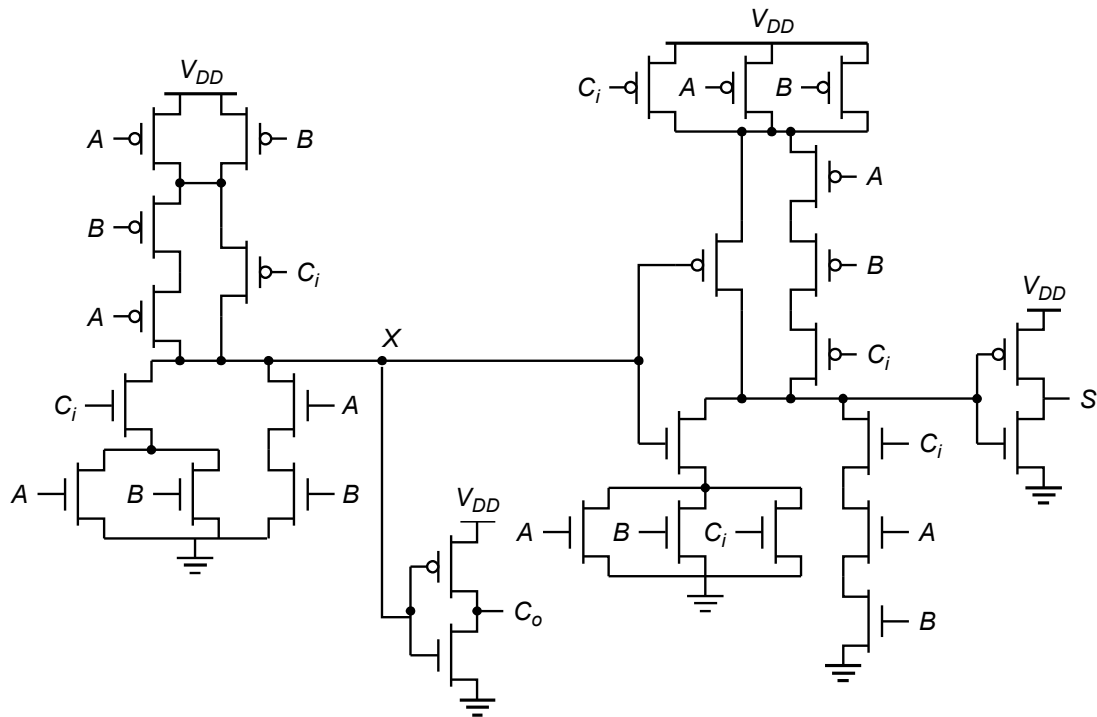
Σχήμα 13. Μεταβατική συμπεριφορά μιας πύλης NAND δύο εισόδων για διαφορετικά διανύσματα εισόδου.

Αυτό που μπορούμε να παρατηρήσουμε είναι ότι στην πρώτη περίπτωση έχουμε τη μικρότερη καθυστέρηση διάδοσης λόγω φόρτισης της εξόδου από τον παράλληλο συνδυασμό τρανζίστορ που άγουν ταυτόχρονα, ενώ στη δεύτερη περίπτωση άγει μόνο το ένα από τα δύο τρανζίστορ για φόρτιση της ίδιας χωρητικότητας οπότε φυσιολογικά η καθυστέρηση θα είναι μεγαλύτερη. Η τρίτη περίπτωση είναι και η χειρότερη καθώς άγει πάλι μόνο το ένα από τα δύο παράλληλα τρανζίστορ, αλλά εκτός της χωρητικότητας εξόδου φορτίζεται επιπλέον και η χωρητικότητα του εσωτερικού κόμβου 3 καθώς άγει επιπρόσθετα και το πρώτο τρανζίστορ σειράς.

Τέλος, εκτός από το μέγεθος της καθυστέρησης, η ύπαρξη των εσωτερικών κόμβων σε γενικές πύλες επηρεάζει επίσης και την κατανάλωση ισχύος, καθώς ανάλογα με το ζεύγος των διανυσμάτων εισόδου που μετάγεται είναι δυνατή η φόρτιση των συγκεκριμένων κόμβων ακόμα και όταν η έξοδος παραμένει αμετάβλητη.

Ασκήσεις

1. Να εκτελεστεί το προηγούμενο παράδειγμα για μοναδιαία **συμμετρική** πύλη NAND σε τεχνολογία TSMC $0.25 \mu m$ και με τάση τροφοδοσίας $V_{DD} = 2.5 V$, και να υπολογιστούν με το SPICE οι καθυστερήσεις διάδοσης t_{pHL} και t_{pLH} για τα χειρότερα ζεύγη διανυσμάτων εισόδου (προσέξτε ότι για τη χειρότερη καθυστέρηση καθόδου t_{pHL} θα πρέπει να επιλέξετε ένα “προηγούμενο” διάνυσμα εισόδου τέτοιο ώστε η εσωτερική χωρητικότητα στο pull-down στάδιο να είναι αρχικά φορτισμένη).
2. Το ακόλουθο σχήμα δείχνει την υλοποίηση ενός πλήρη αθροιστή (1-bit) σε κυκλωματικό επίπεδο με τη χρήση δύο σύνθετων πυλών CMOS και δύο αντιστροφέων.

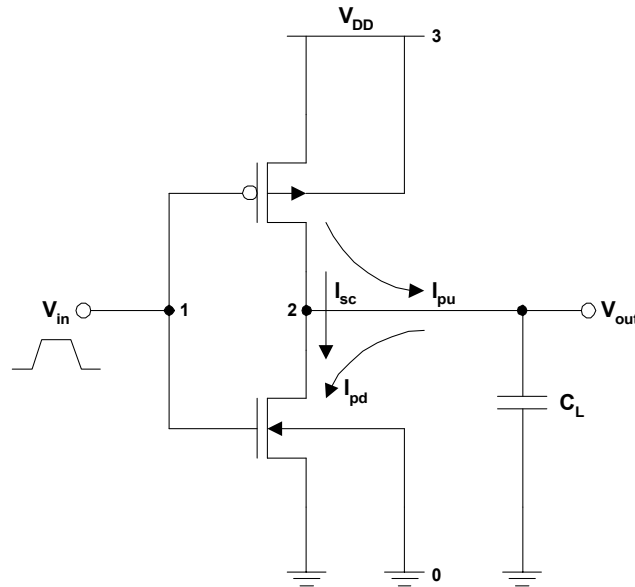


Να προσδιοριστούν αρχικά οι λογικές συναρτήσεις που υλοποιούν οι δύο σύνθετες πύλες και να επιβεβαιωθεί η λειτουργία του κυκλώματος ως πλήρης αθροιστής. Εν συνεχεία να υπολογιστούν τα πλάτη των τρανζίστορ των σύνθετων πυλών τα οποία οδηγούν σε συνολικές αντιστάσεις ανόδου/καθόδου ίσες με εκείνες ενός συμμετρικού αντιστροφέα με πλάτη τρανζίστορ $W_n = 1 \mu m$ και $W_p = (k'_n / k'_p) W_n$. Με βάση τα υπολογισμένα πλάτη να δημιουργηθεί το κατάλληλο αρχείο εισόδου SPICE για την περιγραφή της **πρώτης σύνθετης πύλης** του αθροιστή και την εκτέλεση μεταβατικής ανάλυσης (να γίνει χρήση των γνωστών παραμέτρων τεχνολογίας TSMC $0.25 \mu m$ και τάση τροφοδοσίας $V_{DD} = 2.5 V$, ενώ επίσης να θεωρηθεί ότι το μήκος πηγής/υποδοχής είναι $L_D = 5 \mu m$). Για την έξοδο της σύνθετης πύλης εισάγετε μόνο τη χωρητικότητα πύλης τρανζίστορ στο SPICE υπολογισμένη από τον τύπο $C_g = \frac{\epsilon_{ox}}{t_{ox}} WL$, όπου $\epsilon_{ox} = 4 \cdot \epsilon_0 = 4 \cdot 8.85 \cdot 10^{-14} F/cm$. Κατόπιν, με κατάλληλο αριθμό μεταβατικών αναλύσεων, να προσδιοριστούν οι καθυστερήσεις διάδοσης t_{pHL} και t_{pLH} για όλα τα δυνατά διανύσματα εισόδου του αθροιστή. Για τα “προηγούμενα” διανύσματα να θεωρήστε όλες (και τις τρεις) εισόδους είτε αρχικά σε λογικό 1, είτε αρχικά σε λογικό 0, ανάλογα με το ποιος συνδυασμός διανυσμάτων προκαλεί μετάβαση στην έξοδο της σύνθετης πύλης. Οι χρόνοι μετώπων ανόδου και καθόδου για τις εισόδους που εκτελούν μεταγωγή είναι $t_r = t_f = 1.5 ns$.

7. Κατανάλωση ισχύος πυλών και κυκλωμάτων CMOS

Ένα μεγάλο πλεονέκτημα της τεχνολογίας CMOS (ίσως το μεγαλύτερο μαζί με τα εξαιρετικά περιθώρια θορύβου) είναι η πρακτικά αμελητέα κατανάλωση ισχύος σε συνθήκες ηρεμίας, με τη μοναδική δραστηριότητα να προέρχεται από την αγωγή

υποκατωφλίου (subthreshold) των τρανζίστορ που βρίσκονται σε αποκοπή και τα πολύ μικρά ρεύματα ανάστροφης πόλωσης των διαφόρων παρασιτικών ενώσεων (διόδων) p-n. Κατά τη διεξαγωγή, όμως, μιας λογικής μετάβασης ο αντιστροφέας CMOS εμφανίζει σημαντική κατανάλωση ισχύος, η οποία οφείλεται κατά κύριο λόγο στη φόρτιση/εκφόρτιση της χωρητικότητας εξόδου μέσω των τρανζίστορ που ορίζουν τα στάδια pull-up και pull-down, και κατά ένα μικρότερο ποσοστό στο ρεύμα βραχυκύκλωσης που υφίσταται κατά το διάστημα όπου και τα δύο τρανζίστορ άγουν ταυτόχρονα (λόγω της ύπαρξης πεπερασμένων χρόνων ανόδου και καθόδου) σχηματίζοντας ένα μονοπάτι από την τροφοδοσία προς τη γείωση (Σχήμα 14).

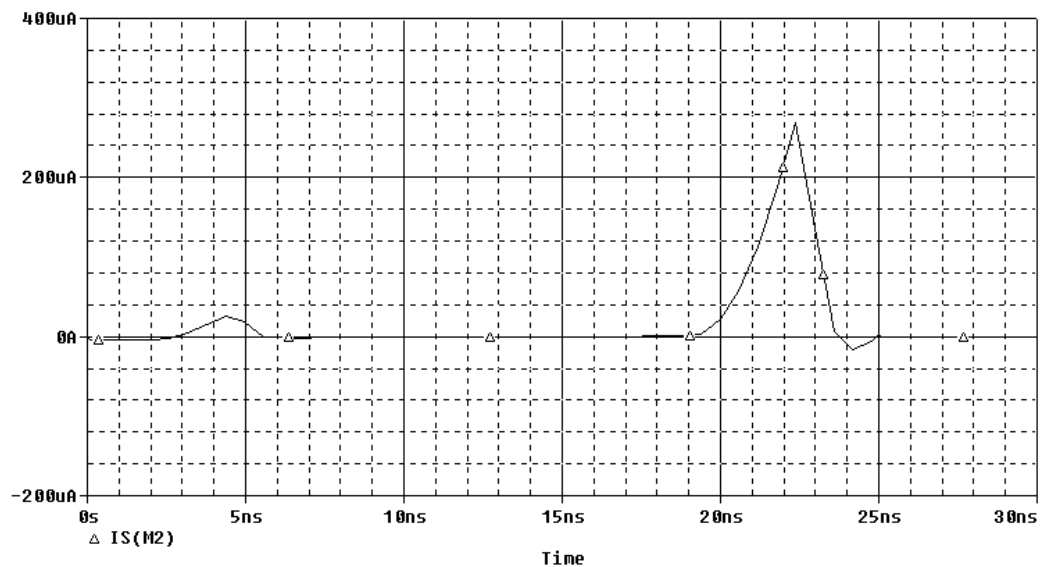
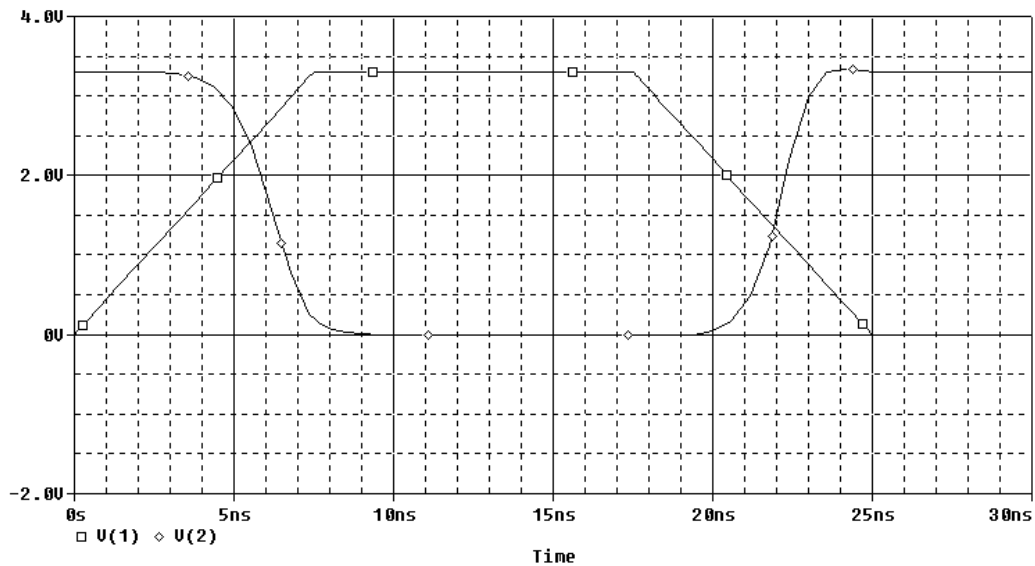


Σχήμα 14. Συνιστώσες (δυναμικής) κατανάλωσης ισχύος ενός αντιστροφέα CMOS.

Η ανάλυση της κατανάλωσης ισχύος του αντιστροφέα απαιτεί και πάλι τον προσδιορισμό της μεταβατικής απόκρισης σε κάποιον παλμό εισόδου, αλλά η αντικειμενική ποσότητα που ενδιαφέρει εδώ είναι το στιγμιαίο ρεύμα $I_{DD} = f(t)$ της πηγής τροφοδοσίας με το οποίο η παρεχόμενη ισχύς $P(t) = V_{DD} \cdot I_{DD}(t)$ είναι ευθέως ανάλογη (εφόσον η τάση τροφοδοσίας V_{DD} είναι σταθερή). Θεωρώντας την ίδια διάταξη αντιστροφέα που εξετάσαμε στο παράδειγμα της ενότητας 3, το τμήμα αρχείου SPICE για την εκτέλεση της μεταβατικής ανάλυσης και τον προσδιορισμό του στιγμιαίου ρεύματος παροχής σε αυτόν (για παλμό εισόδου με εύρος $PW = 10 \text{ ns}$ και χρόνους μετώπων ανόδου/καθόδου $t_r = t_f = 7.5 \text{ ns}$) είναι το ακόλουθο:

```
*Inverter power dissipation
M1 2 1 0 0 NMOS W=2u L=0.8u AD=10p AS=10p PD=14u PS=14u
M2 2 1 3 3 PMOS W=5.5u L=0.8u AD=27.5p AS=27.5p PD=21u PS=21u
CLx 2 0 0.1p
Vdd 3 0 DC 3.3
Vin 1 0 PULSE (0 3.3 0 7.5n 7.5n 10n 30n)
...
.TRAN 0.001n 30n
.PROBE V(1) V(2) I(Vdd)
.END
```

Τα αποτελέσματα της προσομοίωσης φαίνονται στο ακόλουθο Σχήμα 15:



Σχήμα 15. Στιγμιαίο ρεύμα τροφοδοσίας ενός αντιστροφέα CMOS κατά την εκτέλεση μιας λογικής μετάβασης.

Η παροχή ισχύος από την πηγή τροφοδοσίας πραγματοποιείται κατά τη φόρτιση της χωρητικότητας σε λογικό 1 μέσω του pMOS τρανζίστορ, ενώ κατά την εκφόρτιση αυτής μέσω του nMOS τρανζίστορ απλά επιτελείται η απαγωγή του αποθηκευμένου φορτίου προς τη γη. Και στις δύο περιπτώσεις υπάρχει ένα μικρό ρεύμα βραχυκύκλωσης το οποίο διέρχεται ταυτόχρονα και από τα δύο τρανζίστορ και υπερτίθεται στο ρεύμα φόρτισης/εκφόρτισης (όπου αυτό υπάρχει). Ο χρονικός μέσος

$P_T = \frac{1}{T} \int_0^T P(t) dt$ της στιγμιαίας ισχύος σε διάστημα μιας περιόδου ρολογιού T αποτελεί την ποσότητα της μέσης ισχύος που καταναλώνεται από τον αντιστροφέα στο διάστημα αυτό.

Ασκήσεις

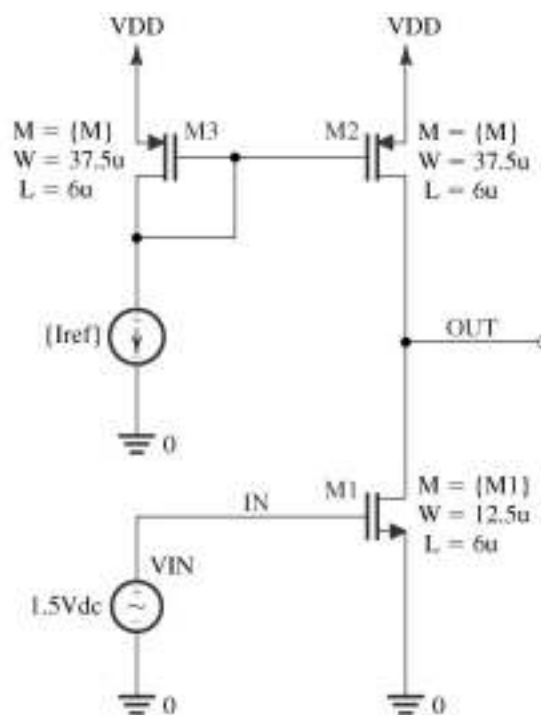
1. Για τον αντιστροφέα του παραδείγματος (και για τεχνολογία TSMC $0.25 \mu m$ με τάση τροφοδοσίας $V_{DD} = 2.5 V$) να υπολογίσετε τη μέση κατανάλωση ισχύος και την

παροχή ενέργειας από την τροφοδοσία για τη μεταγωγή $1 \rightarrow 0 \rightarrow 1$ της εξόδου σε διάστημα 30 ns . Να χρησιμοποιήσετε τη δυνατότητα που παρέχει το PSpice για ολοκλήρωση μιας χρονικής συνάρτησης $y = f(t)$, μέσω απεικόνισης της έκφρασης $S(y)$.

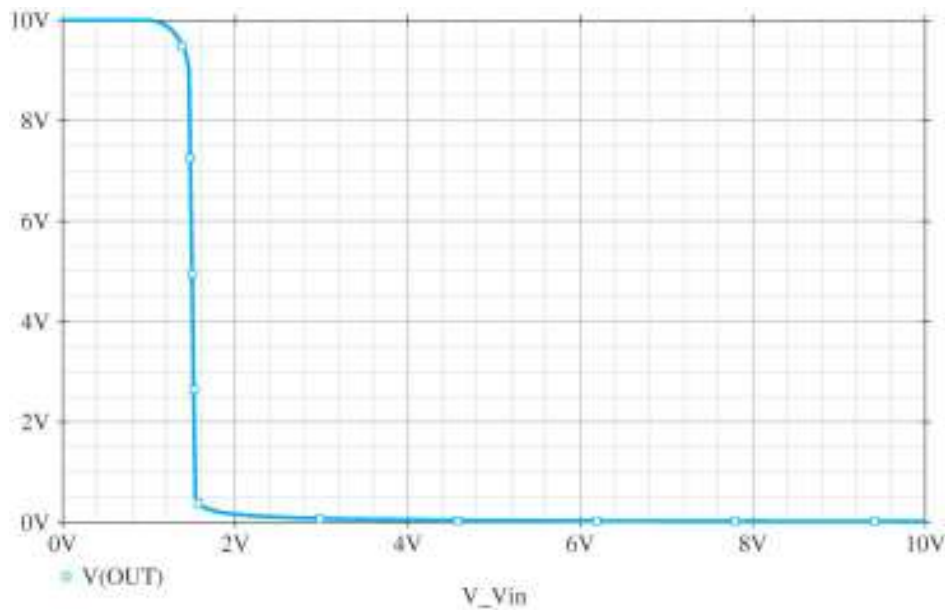
2. Για την πρώτη σύνθετη πύλη του πλήρη αθροιστή από τη δεύτερη άσκηση της προηγούμενης ενότητας, να εκτελέσετε κατάλληλη μεταβατική ανάλυση στην οποία να καλύπτονται διαδοχικά όλοι οι 8 συνδυασμοί εισόδων από $ABC_i = 000$ μέχρι $ABC_i = 111$ (η C_i είναι η είσοδος που μεταβάλλεται συχνότερα). Η χρονική απόσταση μεταξύ διαδοχικών μεταβολών των εισόδων να είναι η ελάχιστη δυνατή στην οποία η πύλη είναι λειτουργική (αυτή θα πρέπει να είναι ίση με τη μέγιστη καθυστέρηση που παρατηρείται στο κύκλωμα για τη συγκεκριμένη ακολουθία εισόδων, και θα μπορούσε να αποτελέσει την περίοδο ρολογιού για το συγκεκριμένο κύκλωμα με τη συγκεκριμένη λειτουργία). Για ευκολία να θεωρήσετε ακαριαία μέτωπα παλμών κατά τη μετάβαση των εισόδων. Για τον ελάχιστο χρόνο μεταξύ διαδοχικών μεταβάσεων να υπολογίστε πειραματικά τη μέση κατανάλωση ισχύος του κυκλώματος, και να τη συγκρίνετε με εκείνη που προβλέπεται θεωρητικά (κατόπιν υπολογισμού του συντελεστή δραστηριότητας μεταγωγής της εξόδου της πύλης).

8. Στατική (DC) ανάλυση ενισχυτή κοινής πηγής CMOS

Ένας ενισχυτής κοινής πηγής CMOS (για υλοποίηση ολοκληρωμένου κυκλώματος) φαίνεται στο Σχήμα 16. Ο υπολογισμός της χαρακτηριστικής μεταφοράς τάσης του γίνεται από το SPICE με στατική (DC) ανάλυση και φαίνεται στο Σχήμα 17. Οι λεπτομέρειες της ανάλυσης περιγράφονται στο Παράδειγμα 6.15 του βιβλίου των A. Sedra και K. Smith.



Σχήμα 16. Ενισχυτής κοινής πηγής CMOS.



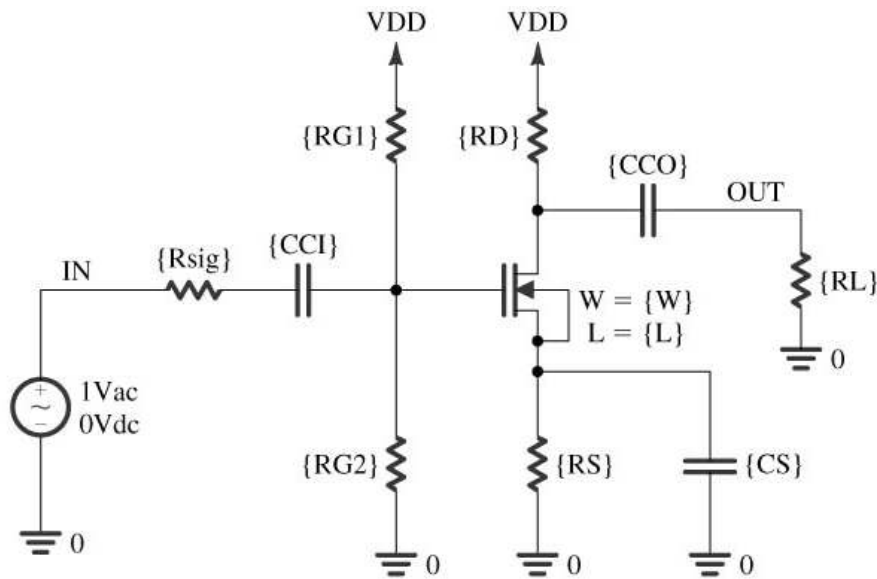
Σχήμα 17. Χαρακτηριστική τάσης ενισχυτή κοινής πηγής CMOS του Σχήματος 18.

Άσκηση

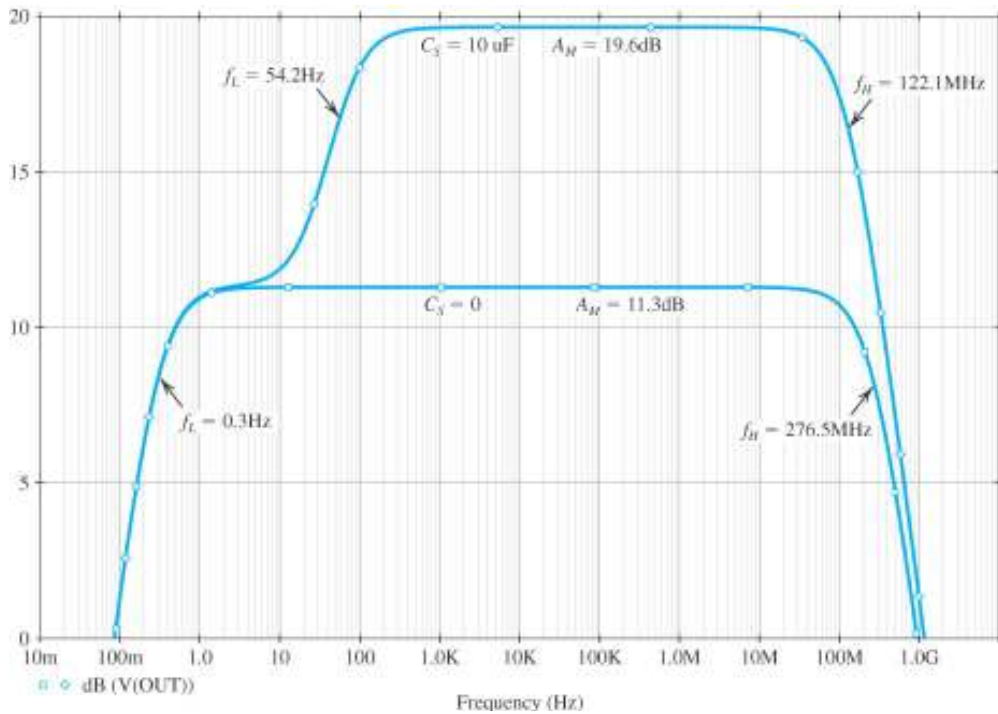
1. Να εκτελεστεί το Παράδειγμα 6.15 του βιβλίου των A. Sedra και K. Smith για transistor τεχνολογίας TSMC $0.25 \mu\text{m}$ και με τάση τροφοδοσίας $V_{DD} = 2.5 \text{ V}$. Να επιβεβαιωθεί το προκύπτον κέρδος τάσης για ασθενές σήμα ημιτόνου κατάλληλου πλάτους και συχνότητας 1 KHz , που υπερτίθεται στην τάση πόλωσης του ενισχυτή [να προσαρτηθεί στη γραμμή δήλωσης της VIN η περιγραφή: `SIN(0 <magnitude> <freq in Hz> 0 0 <phase in degrees>)`].

9. Ανάλυση συχνότητας (AC) ενισχυτή κοινής πηγής με φορτίο αντίστασης

Ένας ενισχυτής κοινής πηγής με φορτίο αντίστασης (για υλοποίηση διακριτών στοιχείων) φαίνεται στο Σχήμα 18. Ο υπολογισμός της απόκρισης συχνότητάς του γίνεται από το SPICE μέσω της εντολής `.AC` και φαίνεται στο Σχήμα 19. Οι λεπτομέρειες της ανάλυσης περιγράφονται στο Παράδειγμα 4.14 του βιβλίου των A. Sedra και K. Smith.



Σχήμα 18. Ενισχυτής κοινής πηγής με φορτίο αντίστασης.



Σχήμα 19. Απόκριση συχνότητας του ενισχυτή κοινής πηγής του Σχήματος 16.

Άσκηση

1. Να εκτελεστεί το Παράδειγμα 4.14 του βιβλίου των A. Sedra και K. Smith για transistor τεχνολογίας TSMC $0.25 \mu\text{m}$ και με τάση τροφοδοσίας $V_{DD} = 2.5 \text{V}$. Να επιβεβαιωθούν τα αποτελέσματα για κατάλληλα ασθενή ημιτονοειδή σήματα (υπεριθέμενα στην τάση πόλωσης) με συχνότητες - χαμηλές και υψηλές - εντός και εκτός του εύρους ζώνης του ενισχυτή [να προσαρτηθεί στη γραμμή δήλωσης της VIN η περιγραφή: AC(<magnitude> <phase in degrees>)].

Παράρτημα Α: Εισαγωγή απαιτούμενων κυκλωματικών στοιχείων και σύνταξη εντολών στο SPICE

Αντίσταση

R<name> <(+) node> <(-) node> <value>

Χωρητικότητα

C<name> <(+) node> <(-) node> <value>

Τρανζίστορ MOS

M<name> <drain node> <gate node> <source node> <bulk/substrate node>
+ <model name> [W=<value>] [L=<value>] [AD=<value>] [AS=<value>]
+ [PD=<value>] [PS=<value>] [NRD=<value>] [NRS=<value>]
+ [NRG=<value>] [NRB=<value>] [M=<value>] [N=<value>]

Δήλωση μοντέλου MOS

.MODEL <model name> NMOS ([<parameter name>=<value>])
.MODEL <model name> PMOS ([<parameter name>=<value>])

Ανεξάρτητη πηγή τάσης και εξωτερική διέγερση

V<name> <(+) node> <(-) node> <value> [AC <magn> <phase>] [transient spec]

Μεταβατική διέγερση παλμού (σε πηγή τάσης)

PULSE (<initial voltage> <pulsed voltage> <delay>
+ <fall time> <rise time> <pulse width> <period>)

Στιγμιότυπο υποκυκλώματος

X<name> [nodelist] <subcircuit name>

Δήλωση υποκυκλώματος

.SUBCKT <subcircuit name> [nodelist]

Αρχικές συνθήκες τάσεων σε κόμβους

.IC V(<nodelist>)=<value>

Εκτέλεση ανάλυσης DC

.DC <sweep variable name> <start value> <end value> <increment value>

Εκτέλεση μεταβατικής ανάλυσης

.TRAN <time step value> <final time value>

Ανάλυση απόκρισης συχνότητας

.AC <sweep type> <number of points> <start frequency> <end frequency>

Απεικόνιση κυματομορφής

.PROBE [output variables]

Παράρτημα Β: Πίνακες εξισώσεων και παραμέτρων

Περιγραφή παραμέτρων μοντέλου MOS για τα επίπεδα 1-3 του SPICE

<i>Parameter</i>	<i>Description</i>	<i>Units</i>	<i>Default</i>
AF	flicker noise exponent		1
CBD	zero-bias bulk-drain <i>p-n</i> capacitance	F	0
CBS	zero-bias bulk-source <i>p-n</i> capacitance	F	0
CGBO	gate-bulk overlap capacitance/channel length	F/m	0
CGDO	gate-drain overlap capacitance/channel width	F/m	0
CGSO	gate-source overlap capacitance/channel width	F/m	0
CJ	bulk <i>p-n</i> zero-bias bottom capacitance/area	F/m ²	0
CJSW	bulk <i>p-n</i> zero-bias sidewall capacitance/length	F/m	0
FC	bulk <i>p-n</i> forward-bias capacitance coefficient		0.5
GDSNOI	channel shot noise coefficient (use with NLEV=3)		1
IS	bulk <i>p-n</i> saturation current	A	1E-4
JS	bulk <i>p-n</i> saturation current/area	A/m ²	0
JSSW	bulk <i>p-n</i> saturation sidewall current/length	A/m	0
KF	flicker noise coefficient		0
L	channel length	m	DEFL
LEVEL	model index		1
MJ	bulk <i>p-n</i> bottom grading coefficient		0.5
MJSW	bulk <i>p-n</i> sidewall grading coefficient		0.33
N	bulk <i>p-n</i> emission coefficient		1
NLEV	noise equation selector		2
PB	bulk <i>p-n</i> bottom potential	V	0.8
PBSW	bulk <i>p-n</i> sidewall potential	V	PB
RB	bulk ohmic resistance	Ω	0
RD	drain ohmic resistance	Ω	0
RDS	drain-source shunt resistance	Ω	infinite
RG	gate ohmic resistance	Ω	0
RS	source ohmic resistance	Ω	0
RSH	drain, source diffusion sheet resistance	Ω/sq	0
TT	bulk <i>p-n</i> transit time	s	0
T_ABS	absolute temperature	°C	
T_MEASURED	measured temperature	°C	
T_REL_GLOBAL	relative to current temperature	°C	
T_REL_LOCAL	relative to AKO model temperature	°C	
W	channel width	m	DEFW
DELTA	width effect on threshold		0
ETA	static feedback (Level 3)		0
GAMMA	bulk threshold parameter	V ^{1/2}	calculated
KP	transconductance coefficient	A/V ²	2E-5
KAPPA	saturation field factor (Level 3)		0.2
LAMBDA	channel-length modulation (Levels 1 and 2)	V ⁻¹	0
LD	lateral diffusion (length)	m	0
NEFF	channel charge coefficient (Level 2)		1
NFS	fast surface state density	1/cm ²	0
NSS	surface state density	1/cm ²	none
NSUB	substrate doping density	1/cm ³	none
PHI	surface potential	V	0.6
THETA	mobility modulation (Level 3)	V ⁻¹	0
TOX	oxide thickness	m	calculated
TPG	Gate material type: +1 = opposite of substrate -1 = same as substrate 0 = aluminum		+1
UCRIT	mobility degradation critical field (Level 2)	V/cm	1E4
UEXP	mobility degradation exponent (Level 2)		0

UTRA	mobility degradation transverse field coefficient		not used
UO	surface mobility	cm ² /V·s	600
VMAX	maximum drift velocity	m/s	0
VTO	zero-bias threshold voltage	V	0
WD	lateral diffusion (width)	m	0
XJ	metallurgical junction depth (Levels 2 and 3)	m	0
XQC	fraction of channel charge attributed to drain		1

Εξισώσεις ρεύματος-τάσης για το μοντέλο επιπέδου 1 του MOS

- Τρανζίστορ *nMOS* στην περιοχή της αποκοπής:

$$I_{D,n} = 0, V_{GS,n} < V_{T,n}$$

- Τρανζίστορ *nMOS* στη γραμμική περιοχή:

$$I_{D,n} = \frac{k'_n W_n}{2 L_n} (2(V_{GS,n} - V_{T,n})V_{DS,n} - V_{DS,n}^2), V_{GS,n} \geq V_{T,n} \text{ και } V_{DS,n} < V_{GS,n} - V_{T,n}$$

- Τρανζίστορ *nMOS* στην περιοχή του κόρου:

$$I_{D,n} = \frac{k'_n W_n}{2 L_n} (V_{GS,n} - V_{T,n})^2 (1 + \lambda V_{DS,n}), V_{GS,n} \geq V_{T,n} \text{ και } V_{DS,n} \geq V_{GS,n} - V_{T,n}$$

- Τρανζίστορ *pMOS* στην περιοχή της αποκοπής:

$$I_{D,p} = 0, V_{SG,p} < |V_{T,p}|$$

- Τρανζίστορ *pMOS* στη γραμμική περιοχή:

$$I_{D,p} = \frac{k'_p W_p}{2 L_p} (2(V_{SG,p} - |V_{T,p}|)V_{SD,p} - V_{SD,p}^2), V_{SG,p} \geq |V_{T,p}| \text{ και } V_{SD,p} < V_{SG,p} - |V_{T,p}|$$

- Τρανζίστορ *pMOS* στην περιοχή του κόρου:

$$I_{D,p} = \frac{k'_p W_p}{2 L_p} (V_{SG,p} - |V_{T,p}|)^2 (1 + \lambda V_{SD,p}), V_{SG,p} \geq |V_{T,p}| \text{ και } V_{SD,p} \geq V_{SG,p} - |V_{T,p}|$$

- Τάση κατωφλίου τρανζίστορ *nMOS*:

$$V_{T,n} = V_{T0,n} + \gamma_n \left(\sqrt{|2\phi_F|_n + V_{SB,n}} - \sqrt{|2\phi_F|_n} \right)$$

- Τάση κατωφλίου τρανζίστορ *pMOS*:

$$|V_{T,p}| = |V_{T0,p}| + \gamma_p \left(\sqrt{|2\phi_F|_p + V_{BS,p}} - \sqrt{|2\phi_F|_p} \right)$$

Τοπικές τιμές παραμέτρων μοντέλου MOS, επιπέδου 2, για τεχνολογία 0.8μm

```
.MODEL NMOS NMOS (
+ CGSO = 0.35E-9          CGDO = 0.35E-9          LEVEL = 2
+ CJ = 0.3E-3            MJ = 0.45             CGBO = 0.15E-9
+ MJSW = 0.33           IS = 0              CJSW = 0.25E-9
+ KP = 1.0425E-4        GAMMA = 0.64          N = 1
+ PB = 0.85             RSH = 25            JS = 0.01E-3
+ XJ = 0.08E-6         VTO = 0.85         TOX = 15.5E-9
+ NSUB = 64E15         NEFF = 10          NFS = 0.835E12
+ UO = 460             UCRIT = 38E4       UTRA = 0
+ VMAX = 62E3          DELTA = 0.25       UEXP = 0.325
+ LD = 0               WD = 0.6E-6        KF = 0.275E-25
+ PHI = 0.79          NLEV = 0           AF = 1.5
) )
```

```
.MODEL PMOS PMOS (
+ CGSO = 0.35E-9          CGDO = 0.35E-9          LEVEL = 2
+ CJ = 0.5E-3            MJ = 0.47             CGBO = 0.15E-9
+ MJSW = 0.29           IS = 0              CJSW = 0.21E-9
+ KP = 0.375E-4        GAMMA = 0.44          N = 1
+ PB = 0.8             RSH = 47            JS = 0.04E-3
+ XJ = 0.09E-6         VTO = -0.725       TOX = 15E-9
+ NSUB = 32.8E15       NEFF = 2.6          NFS = 0.5E12
+ UO = 160             UCRIT = 30.8E4      UTRA = 0
+ VMAX = 61E3          DELTA = 0.95       UEXP = 0.35
+ LD = 0.075E-6        WD = 0.35E-6        KF = 0.47E-26
+ PHI = 0.76          NLEV = 0           AF = 1.6
) )
```

Τοπικές τιμές παραμέτρων μοντέλου MOS, επιπέδου 3, για τεχνολογία 0.5μm

```
.MODEL NMOS NMOS (
+ TOX = 1.4E-8          NSUB = 1E17          LEVEL = 3
+ PHI = 0.7            VTO = 0.7640855     GAMMA = 0.5483559
+ UO = 662.6984452     ETA = 3.162045E-6   DELTA = 3.0541177
+ KP = 1.259355E-4     VMAX = 1.442228E5   THETA = 0.1013999
+ RSH = 7.513418E-3    NFS = 1E12          KAPPA = 0.3
+ XJ = 3E-7           LD = 1E-13          TPG = 1
+ CGDO = 2.15E-10      CGSO = 2.15E-10     WD = 2.334779E-7
+ CJ = 4.258447E-4     PB = 0.9140376      CGBO = 1E-10
+ CJSW = 3.147465E-10 MJSW = 0.1977689    MJ = 0.435903
) )
```

```
.MODEL PMOS PMOS (
+ TOX = 1.4E-8          NSUB = 1E17          LEVEL = 3
+ PHI = 0.7            VTO = -0.9444911    GAMMA = 0.6243261
+ UO = 250            ETA = 0              DELTA = 0.1118368
+ KP = 3.924644E-5     VMAX = 1E6          THETA = 0.1633973
+ RSH = 33.9672594     NFS = 1E12          KAPPA = 30.1015109
+ XJ = 2E-7           LD = 5E-13          TPG = -1
+ CGDO = 2.34E-10      CGSO = 2.34E-10     WD = 4.11531E-7
+ CJ = 7.285722E-4     PB = 0.96443        CGBO = 1E-10
+ CJSW = 2.955161E-10 MJSW = 0.3184873    MJ = 0.5
) )
```

Τυπικές τιμές παραμέτρων μοντέλου MOS, επιπέδου 3, για τεχνολογία 0.35μm

```
.MODEL NMOS NMOS (
+TOX      = 7.9E-9          NSUB      = 1E17          LEVEL   = 3
+PHI      = 0.7            VTO      = 0.5445549      GAMMA   = 0.5827871
+UO       = 436.256147     ETA      = 0            DELTA   = 0
+KP       = 2.055786E-4    VMAX     = 8.309444E4    THETA   = 0.1749684
+RSH      = 0.0559398     NFS      = 1E12          KAPPA   = 0.2574081
+XJ       = 3E-7           LD       = 3.162278E-11   TPG     = 1
+CGDO     = 2.82E-10      CGSO     = 2.82E-10      WD      = 7.046724E-8
+CJ       = 1E-3           PB       = 0.9758533     CGBO    = 1E-10
+CJSW     = 3.777852E-10  MJSW     = 0.3508721     MJ      = 0.3448504
) )
```

```
.MODEL PMOS PMOS (
+ TOX     = 7.9E-9          NSUB     = 1E17          LEVEL   = 3
+ PHI     = 0.7            VTO     = -0.7140674     GAMMA   = 0.4083894
+ UO      = 212.2319801    ETA     = 9.999762E-4     DELTA   = 0
+ KP      = 6.733755E-5    VMAX    = 1.181551E5     THETA   = 0.2020774
+ RSH     = 30.0712458    NFS     = 1E12          KAPPA   = 1.5
+ XJ      = 2E-7           LD      = 5.000001E-13   TPG     = -1
+ CGDO    = 3.09E-10      CGSO    = 3.09E-10      WD      = 1.249872E-7
+ CJ      = 1.419508E-3    PB      = 0.8152753     CGBO    = 1E-10
+ CJSW    = 4.813504E-10  MJSW    = 0.5           MJ      = 0.5
) )
```

Τυπικές τιμές παραμέτρων μοντέλου MOS, επιπέδου 3, για τεχνολογία 0.25μm

```
.MODEL NMOS NMOS (
+ TOX     = 5.7E-9          NSUB     = 1E17          LEVEL   = 3
+ PHI     = 0.7            VTO     = 0.4238252     GAMMA   = 0.4317311
+ UO      = 425.6466519    ETA     = 0            DELTA   = 0
+ KP      = 2.501048E-4    VMAX    = 8.287851E4    THETA   = 0.1754054
+ RSH     = 4.062439E-3    NFS     = 1E12          KAPPA   = 0.1686779
+ XJ      = 3E-7           LD      = 3.162278E-11   TPG     = 1
+ CGDO    = 6.2E-10      CGSO    = 6.2E-10      WD      = 1.232881E-8
+ CJ      = 1.81211E-3    PB      = 0.5           CGBO    = 1E-10
+ CJSW    = 5.341337E-10  MJSW    = 0.5           MJ      = 0.3282553
) )
```

```
.MODEL PMOS PMOS (
+ TOX     = 5.7E-9          NSUB     = 1E17          LEVEL   = 3
+ PHI     = 0.7            VTO     = -0.5536085     GAMMA   = 0.6348369
+ UO      = 250            ETA     = 0            DELTA   = 0
+ KP      = 5.194153E-5    VMAX    = 2.295325E5     THETA   = 0.1573195
+ RSH     = 30.0776952    NFS     = 1E12          KAPPA   = 0.7448494
+ XJ      = 2E-7           LD      = 9.968346E-13   TPG     = -1
+ CGDO    = 6.66E-10      CGSO    = 6.66E-10      WD      = 5.475113E-9
+ CJ      = 1.893569E-3    PB      = 0.9906013     CGBO    = 1E-10
+ CJSW    = 3.625544E-10  MJSW    = 0.5           MJ      = 0.4664287
) )
```


Τυπικές τιμές αντίστασης και χωρητικότητας διασυνδέσεων για τεχνολογία 0.8μm

- Αντίσταση φύλλου γραμμής πολυπυριτίου: 15 – 40 Ω / sq
- Αντίσταση φύλλου γραμμής μετάλλου-1 ή 2: 0.05 – 0.1 Ω / sq
- Αντίσταση επαφής μετάλλου-1 ή 2 προς πολυπυρίτιο ή διάχυση: 20 – 30 Ω
- Αντίσταση περάσματος (via) μετάλλου-2 προς μέταλλο-1: 0.2 – 0.3 Ω
- Χωρητικότητα γραμμής πολυπυριτίου πάνω από υπόστρωμα (με ενδιάμεσο οξείδιο πεδίου): 0.066 fF / μm² (επιφανείας), 0.046 fF / μm (περιφερειακή)
- Χωρητικότητα γραμμής μετάλλου-1 πάνω από υπόστρωμα (με ενδιάμεσο οξείδιο πεδίου): 0.030 fF / μm² (επιφανείας), 0.044 fF / μm (περιφερειακή)
- Χωρητικότητα γραμμής μετάλλου-2 πάνω από υπόστρωμα (με ενδιάμεσο οξείδιο πεδίου): 0.016 fF / μm² (επιφανείας), 0.042 fF / μm (περιφερειακή)
- Χωρητικότητα γραμμής μετάλλου-1 πάνω από πολυπυρίτιο: 0.053 fF / μm² (επιφανείας), 0.051 fF / μm (περιφερειακή)
- Χωρητικότητα γραμμής μετάλλου-2 πάνω από πολυπυρίτιο: 0.021 fF / μm² (επιφανείας), 0.045 fF / μm (περιφερειακή)
- Χωρητικότητα γραμμής μετάλλου-2 πάνω από μέταλλο-1: 0.035 fF / μm² (επιφανείας), 0.051 fF / μm (περιφερειακή)