

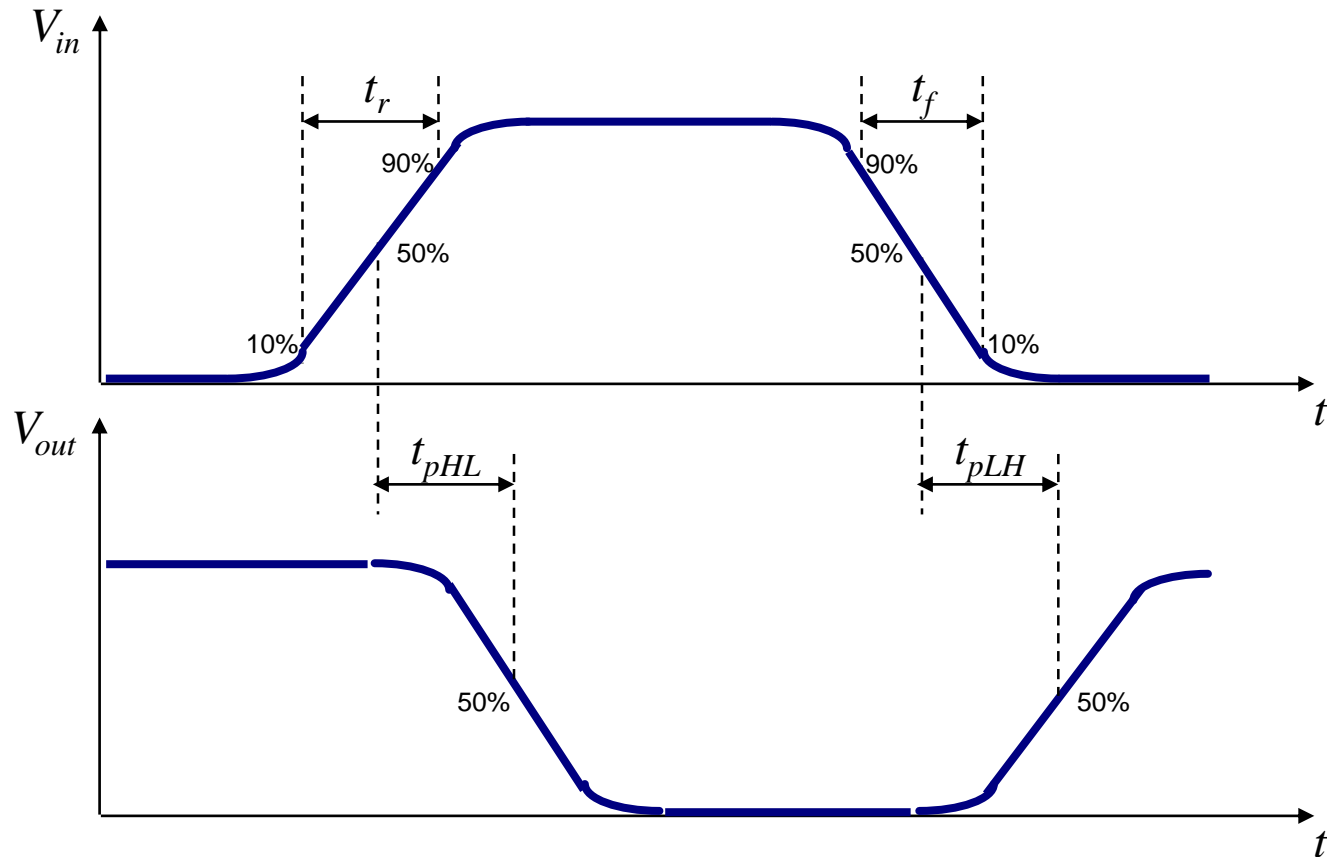
# **Καθυστέρηση αντιστροφεία και λογικών πυλών CMOS**

**Εισαγωγή στην Ηλεκτρονική**

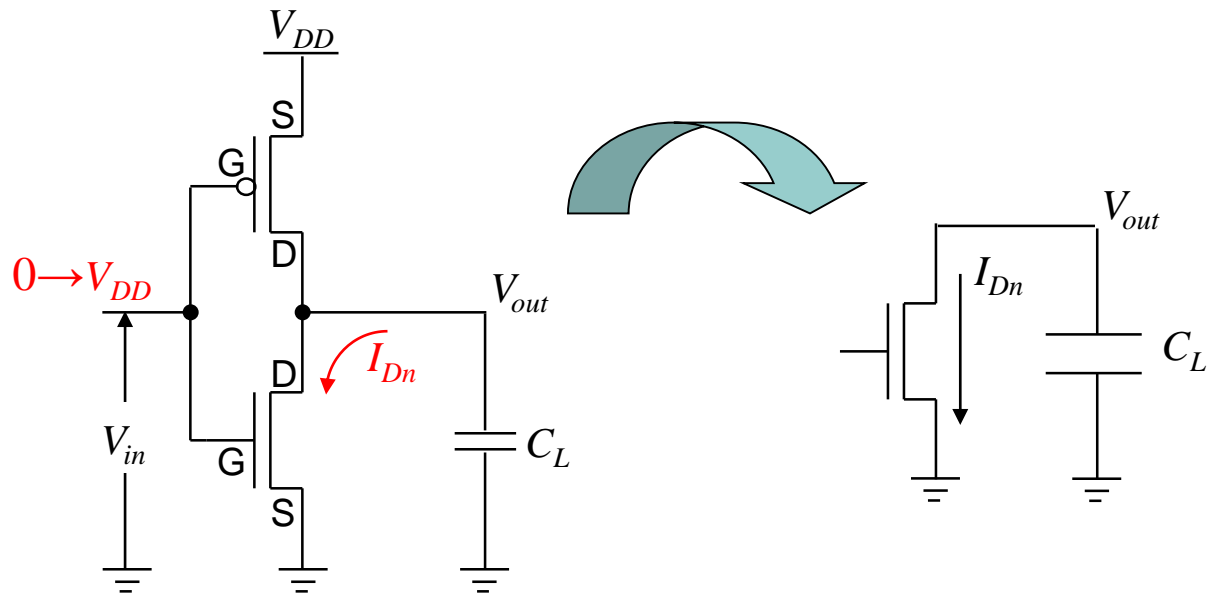
# Ορισμοί καθυστέρησης λογικών πυλών CMOS

- **Καθυστερήσεις διάδοσης (propagation delays) εισόδου-εξόδου:**
  - Καθυστέρηση ανόδου  $t_{pLH}$  : η διαφορά ανάμεσα στις διαδοχικές χρονικές στιγμές όπου η είσοδος και η έξοδος φτάνουν στο 50% της τάσης τροφοδοσίας  $V_{DD}$  κατά την άνοδο της εξόδου από λογικό 0 σε λογικό 1
  - Καθυστέρηση καθόδου  $t_{pHL}$  : η διαφορά ανάμεσα στις διαδοχικές χρονικές στιγμές όπου η είσοδος και η έξοδος φτάνουν στο 50% της τάσης τροφοδοσίας  $V_{DD}$  κατά την κάθοδο της εξόδου από λογικό 1 σε λογικό 0
- **Χρόνοι μεταγωγής σήματος (switching times ή signal slopes):**
  - Χρόνος ανόδου (rise time)  $t_r$  : ο χρόνος που χρειάζεται για να ανέλθει το σήμα από το 10% στο 90% της τάσης τροφοδοσίας  $V_{DD}$
  - Χρόνος καθόδου (fall time)  $t_f$  : ο χρόνος που χρειάζεται για να κατέλθει το σήμα από το 90% στο 10% της τάσης τροφοδοσίας  $V_{DD}$

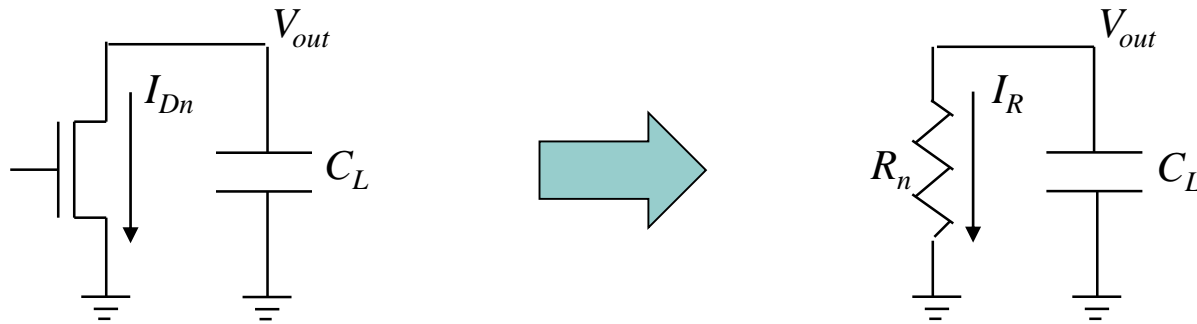
# Ορισμοί καθυστέρησης λογικών πυλών CMOS



# Καθυστέρηση διάδοσης αντιστροφέα CMOS (για ακαριαία μετάβαση εισόδου)



# Καθυστέρηση διάδοσης αντιστροφέα CMOS (για ακαριαία μετάβαση εισόδου)

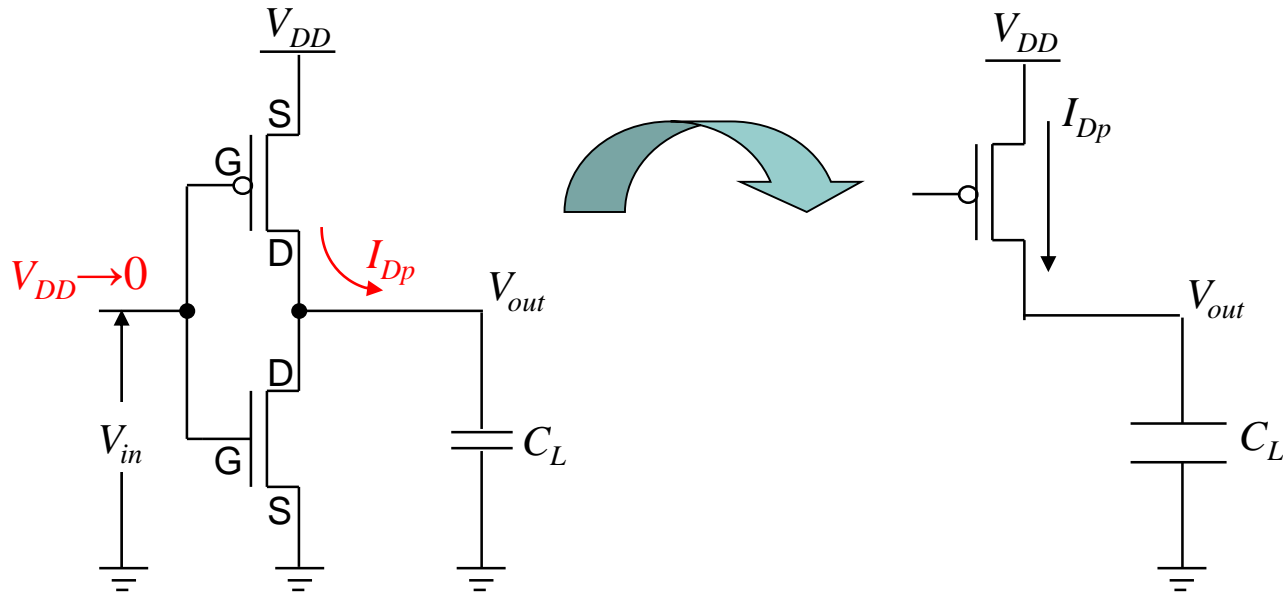


$$I_R = \frac{V_{out}}{R_n} = -C_L \frac{dV_{out}}{dt} \Rightarrow \int_0^{t_{pHL}} dt = -R_n C_L \int_{V_{DD}}^{V_{DD}/2} \frac{dV_{out}}{V_{out}} \Rightarrow \boxed{t_{pHL} = R_n C_L \ln 2}$$

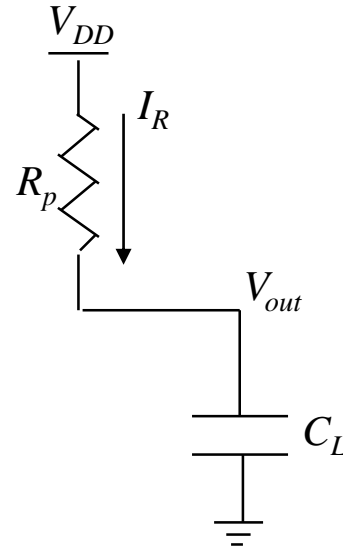
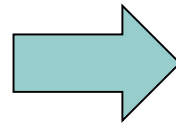
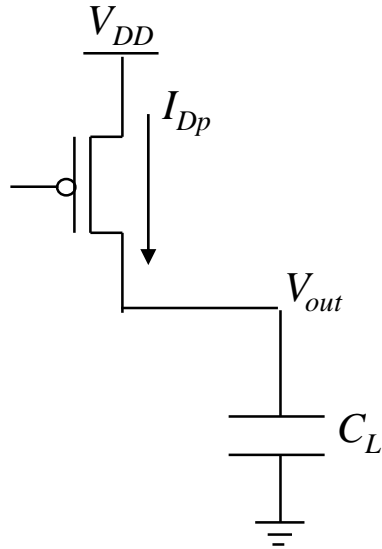
Για μεγάλη γκάμα  
τεχνολογιών κατασκευής:

$$R_n \approx \frac{12.5L}{W_n} \text{ k}\Omega$$

# Καθυστέρηση διάδοσης αντιστροφέα CMOS (για ακαριαία μετάβαση εισόδου)



# Καθυστέρηση διάδοσης αντιστροφέα CMOS (για ακαριαία μετάβαση εισόδου)



$$I_R = \frac{V_{DD} - V_{out}}{R_p} = C_L \frac{dV_{out}}{dt} \Rightarrow \int_0^{t_{pLH}} dt = R_p C_L \int_0^{V_{DD}/2} \frac{dV_{out}}{V_{DD} - V_{out}} \Rightarrow \boxed{t_{pLH} = R_p C_L \ln 2}$$

Για μεγάλη γκάμα τεχνολογιών κατασκευής:

$$R_p \approx \frac{30L}{W_p} \text{ k}\Omega$$

# Καθυστέρηση διάδοσης αντιστροφεία CMOS (για ακαριαία μετάβαση εισόδου)

- Πιο ακριβείς τύποι ισοδύναμων αντιστάσεων:

$$R_n = 2L / \left[ k'_n W_n V_{DD} \ln 2 \left( \frac{7}{4} - \frac{3V_{Tn}}{V_{DD}} + \left( \frac{V_{Tn}}{V_{DD}} \right)^2 \right) \right] \equiv \frac{\bar{R}_n}{W_n}$$
$$R_p = 2L / \left[ k'_p W_p V_{DD} \ln 2 \left( \frac{7}{4} - \frac{3|V_{Tp}|}{V_{DD}} + \left( \frac{|V_{Tp}|}{V_{DD}} \right)^2 \right) \right] \equiv \frac{\bar{R}_p}{W_p}$$

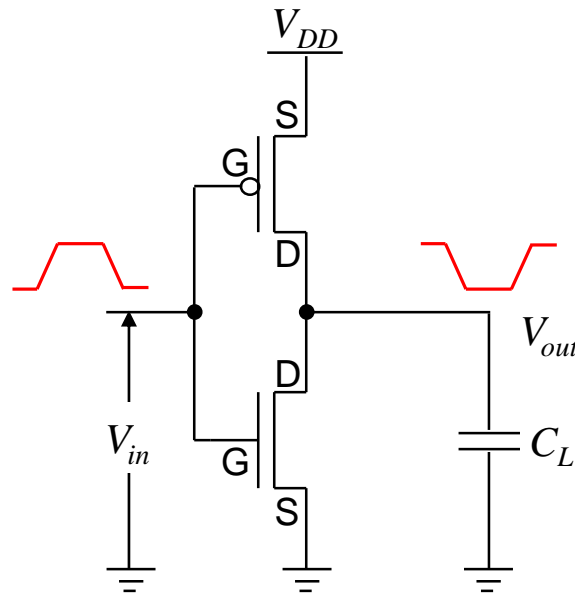
[Sedra/Smith – εξ. (14.51), (14.53)]

- Εάν  $V_{Tn} = |V_{Tp}|$  τότε:  $R_p = \frac{k'_n}{k'_p} \frac{\bar{R}_n}{W_p} \equiv r \frac{\bar{R}_n}{W_p}$

οπότε εάν  $W_p = rW_n$  θα είναι  $R_p = R_n$  καθώς και  $t_{pLH} = t_{pHL}$   
(συμμετρικός αντιστροφείας)



# Καθυστέρηση διάδοσης αντιστροφέα CMOS με πεπερασμένη κλίση εισόδου

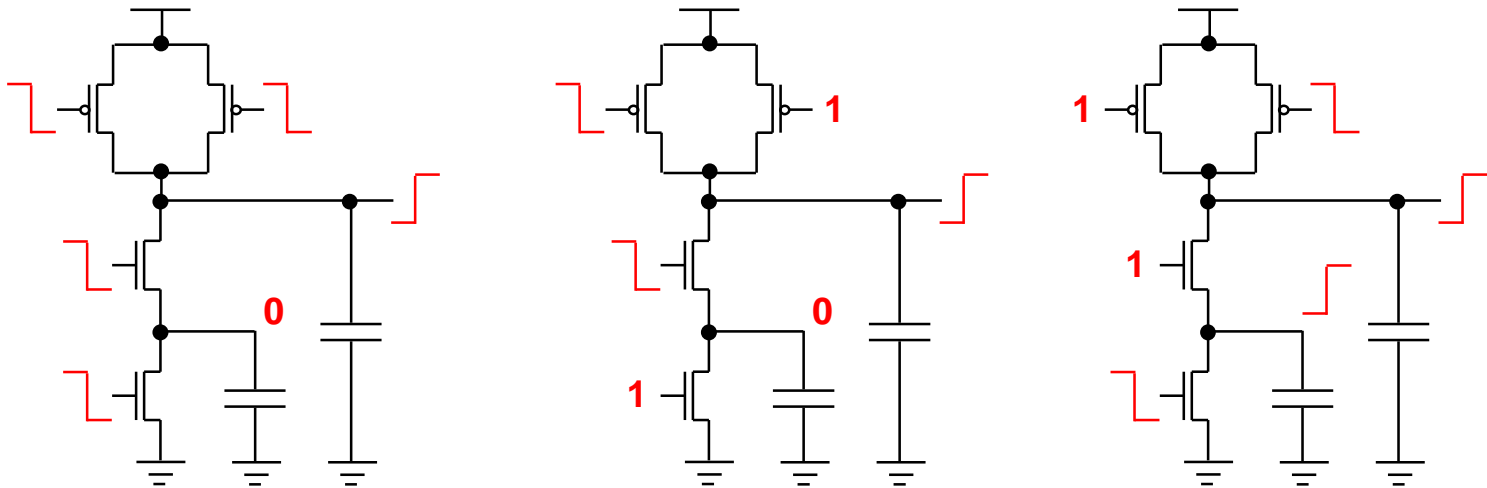


$$t'_{pLH} \approx R_p C_L$$

$$t'_{pHL} \approx R_n C_L$$

# Καθυστέρηση διάδοσης γενικών πυλών CMOS

- Η καθυστέρηση σε γενικές πύλες CMOS εξαρτάται από τις συγκεκριμένες εισόδους που προκαλούν τη μετάβαση της εξόδου
  - Για τρανζίστορ εν παράλληλω μπορεί να υπάρχουν περισσότερα από ένα μονοπάτια ρεύματος για τη διεξαγωγή της φόρτισης/εκφόρτισης
  - Για τρανζίστορ εν σειρά μπορεί να υπάρχουν επιπλέον χωρητικότητες σε εσωτερικούς κόμβους προς φόρτιση/εκφόρτιση
- Παράδειγμα πύλης NAND:



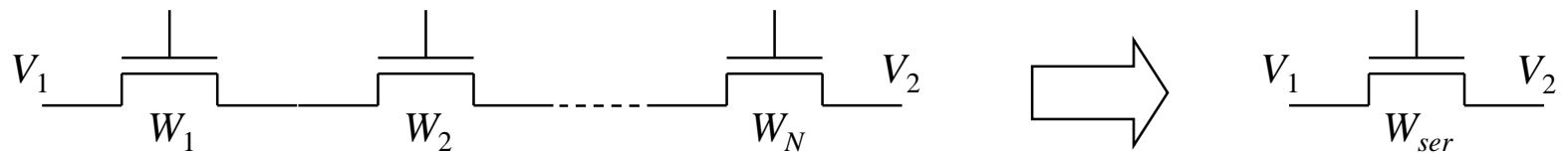
# Ισοδύναμος αντιστροφήας πυλών CMOS

- Ισοδύναμη αντίσταση *σειριακής* συνδεσμολογίας τρανζίστορ:

$$R_{ser} = R_1 + \dots + R_N = \frac{\bar{R}_n}{W_1} + \dots + \frac{\bar{R}_n}{W_N}$$

⇒ ισοδύναμο πλάτος *σειριακής* συνδεσμολογίας:

$$W_{ser} = \frac{1}{1/W_1 + \dots + 1/W_N}$$

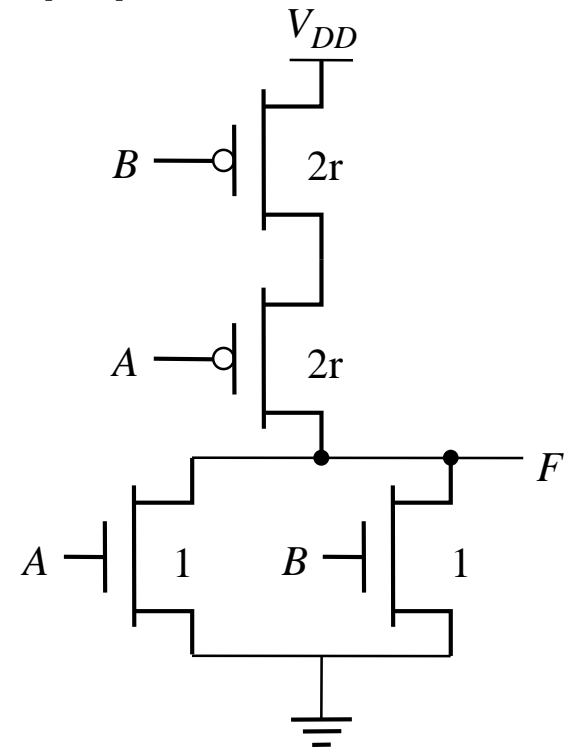
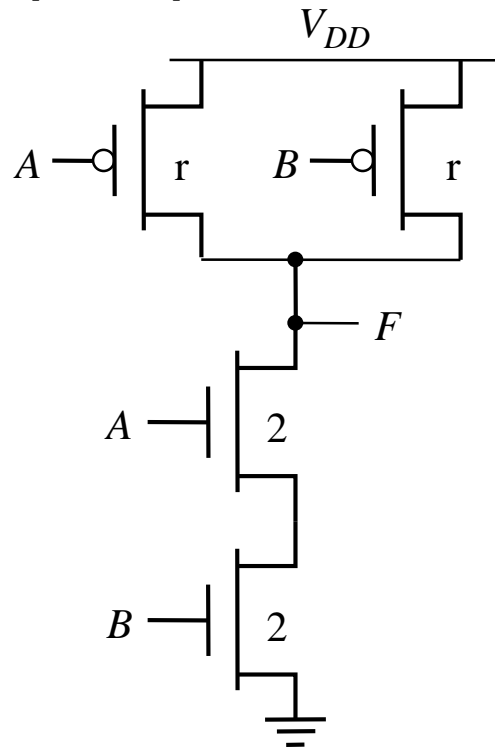
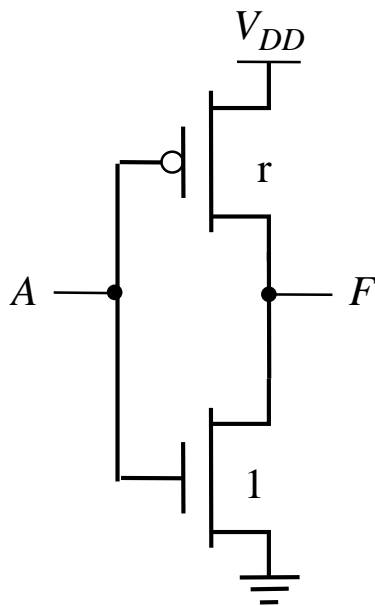


- Χειρότερη περίπτωση *παράλληλης* συνδεσμολογίας: όταν άγει μόνο ένα τρανζίστορ και μάλιστα εκείνο με το μικρότερο πλάτος

⇒ ισοδύναμο πλάτος *παράλληλης* συνδεσμολογίας:  $W_{par} = \min(W_1, \dots, W_N)$

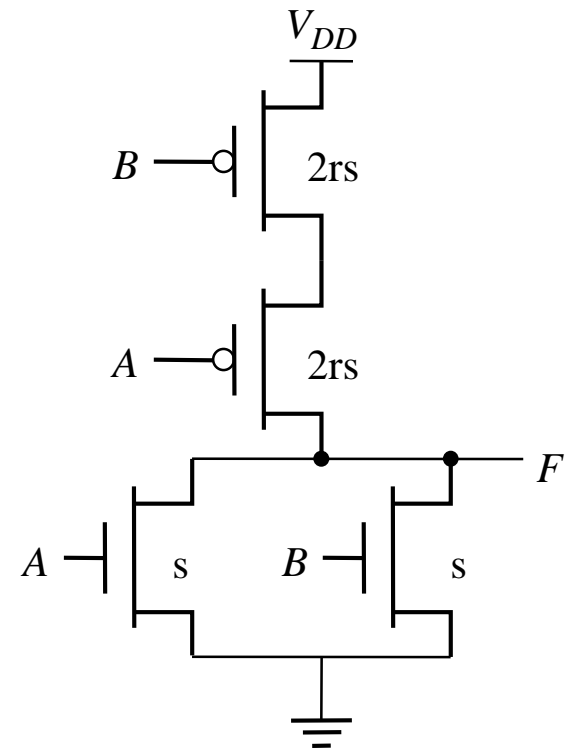
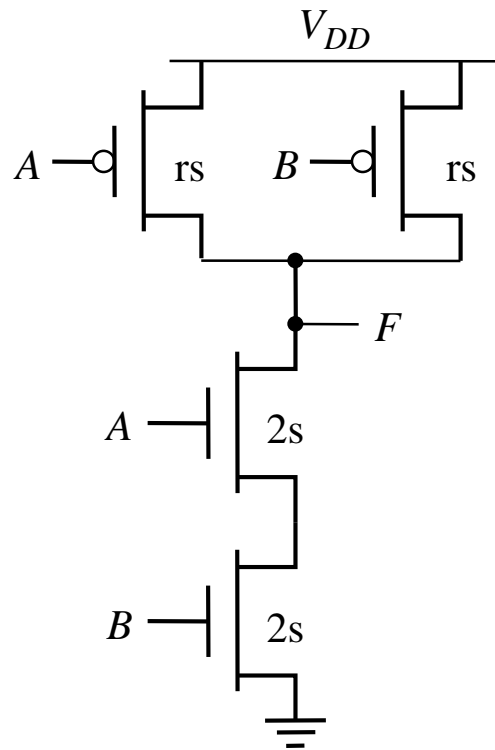
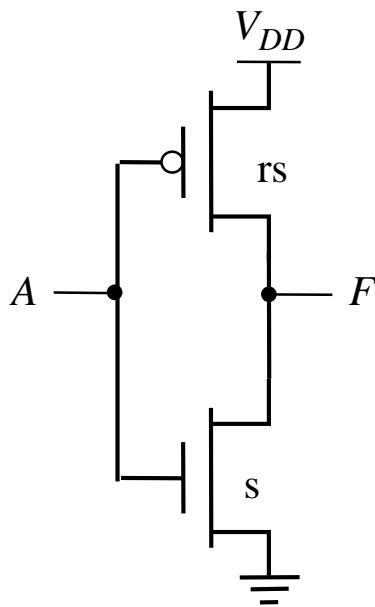
# Συμμετρικές ή τυποποιημένες πύλες CMOS

- Μοναδιαίες ή ελαχίστου μεγέθους συμμετρικές πύλες:  
Εμφανίζουν (εκ κατασκευής) σε όλα τα μονοπάτια ανόδου ή καθόδου μέχρι την έξοδο, συνολική ισοδύναμη αντίσταση ίση με εκείνη ενός συμμετρικού μοναδιαίου αντιστροφέα

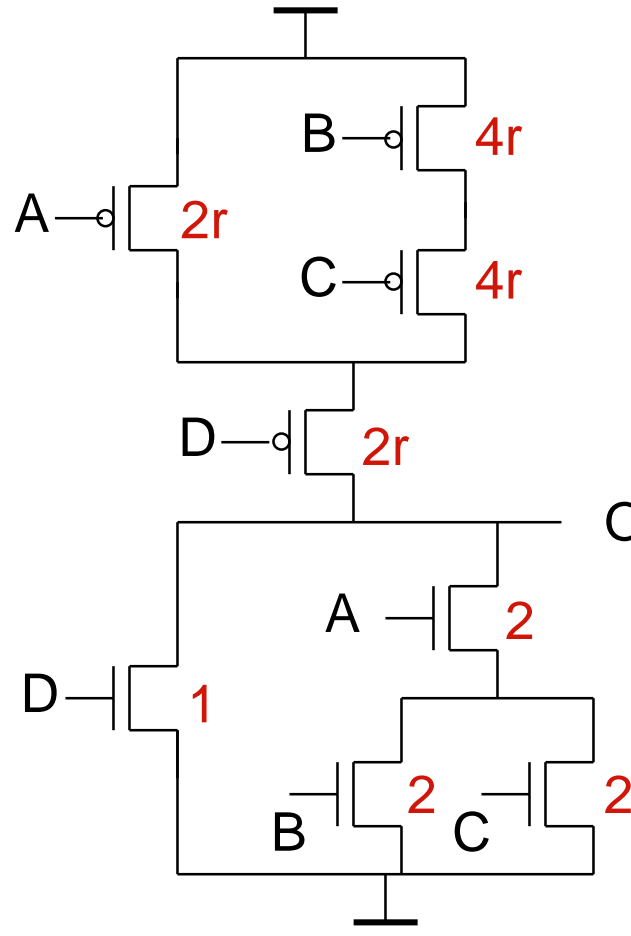


# Συμμετρικές ή τυποποιημένες πύλες CMOS

- Κλιμακούμενες συμμετρικές πύλες:  
Λαμβάνονται από τις μοναδιαίες συμμετρικές πύλες με κλιμάκωση των μεγεθών όλων των τρανζίστορ με κάποιο συντελεστή  $s$



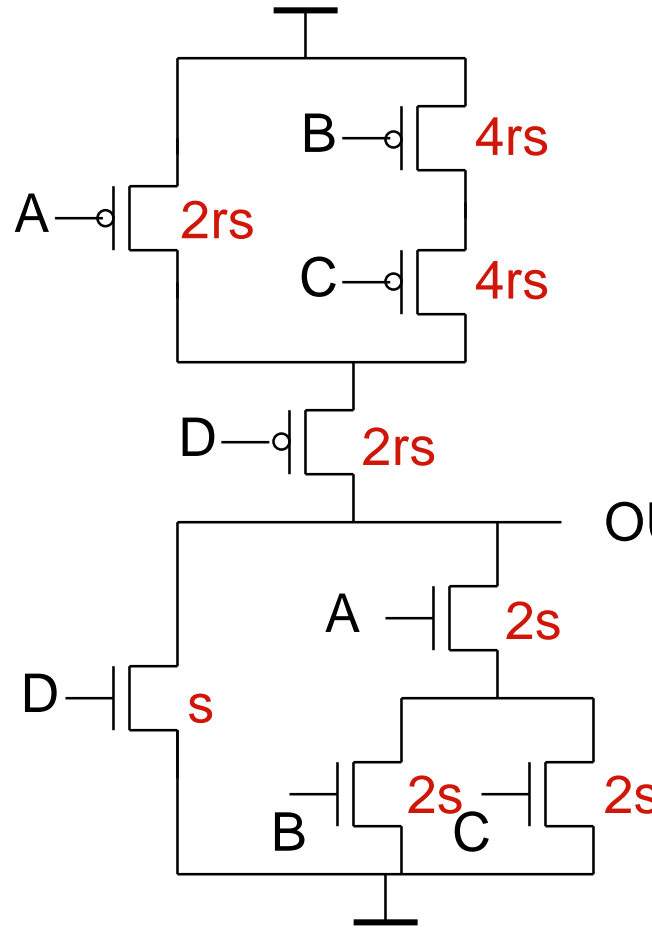
# Συμμετρικές ή τυποποιημένες πύλες CMOS



Μοναδιαία ή ελαχίστου μεγέθους

$$\text{OUT} = \overline{D + A \cdot (B + C)}$$

# Συμμετρικές ή τυποποιημένες πύλες CMOS



Κλιμακούμενη  
(με συντελεστή  $s$ )

$$\text{OUT} = \overline{D + A \cdot (B + C)}$$