

Υλοποίηση λογικών πυλών με τρανζίστορ MOS

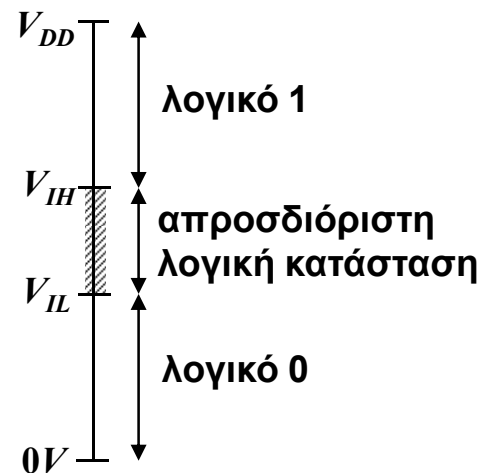
Εισαγωγή στην Ηλεκτρονική

Λογική MOS

- Η αναπαράσταση των λογικών μεταβλητών 0 και 1 στα ψηφιακά κυκλώματα γίνεται μέσω κατάλληλων επιπέδων τάσης, όπου κατά σύμβαση το λογικό 1 αντιστοιχεί στην *τάση τροφοδοσίας* V_{DD} ενώ το λογικό 0 στη *γείωση* με τάση $0V$
- Το τρανζίστορ MOS κατά τη λειτουργία του ως λογικός διακόπτης ελέγχεται αρχικά από τα δύο αυτά επίπεδα τάσης (πάνω στον ακροδέκτη πύλης), και αναφέρεται ότι είναι ON όταν επιτρέπει την αγωγή ρεύματος μεταξύ πηγής και υποδοχής (διακόπτης κλειστός) ή OFF όταν βρίσκεται σε κατάσταση αποκοπής (διακόπτης ανοικτός)
 - Ένα τρανζίστορ nMOS είναι ON όταν η πύλη του συνδέεται με την τάση τροφοδοσίας (λογικό 1) ή OFF όταν συνδέεται με τη γείωση (λογικό 0)
 - Ένα τρανζίστορ pMOS είναι ON όταν η πύλη του συνδέεται με τη γείωση (λογικό 0) ή OFF όταν συνδέεται με την τάση τροφοδοσίας (λογικό 1)

Επιτρεπτές λογικές στάθμες

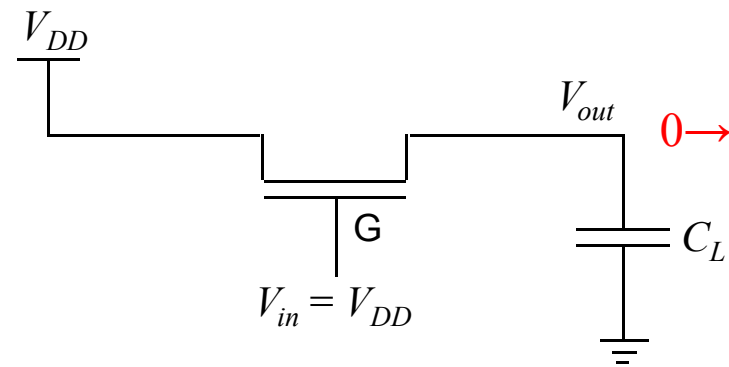
- Γενικότερα οποιαδήποτε τάση μεγαλύτερη από ένα επίπεδο V_{IH} αναγνωρίζεται στο κύκλωμα ως λογικό 1 και οποιαδήποτε τάση μικρότερη από ένα επίπεδο V_{IL} ως λογικό 0



- Μια τάση ελαφρώς μικρότερη από V_{DD} (αλλά πάντως μεγαλύτερη από V_{IH}) αναφέρεται ως 'ασθενές' λογικό 1, ενώ μια τάση ελαφρώς μεγαλύτερη από $0V$ (αλλά πάντως μικρότερη από V_{IL}) ως 'ασθενές' λογικό 0

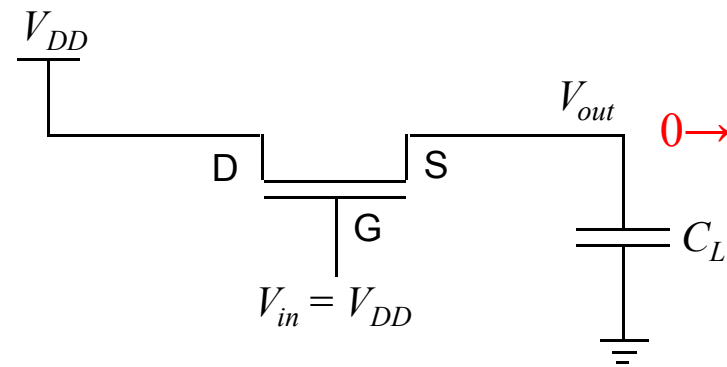
Το τρανζίστορ nMOS ως διακόπτης

- Μετάδοση λογικού 1:



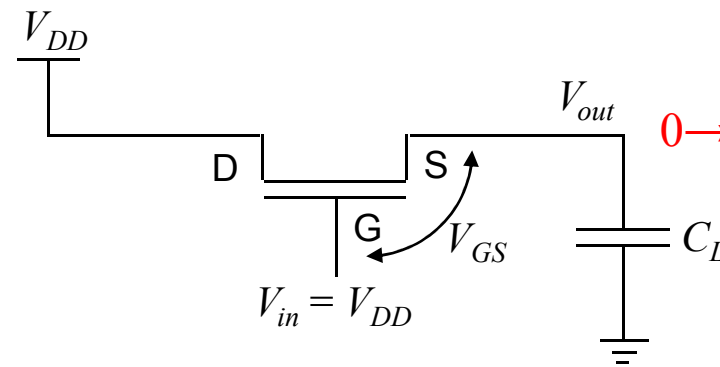
Το τρανζίστορ nMOS ως διακόπτης

- Μετάδοση λογικού 1:



Το τρανζίστορ nMOS ως διακόπτης

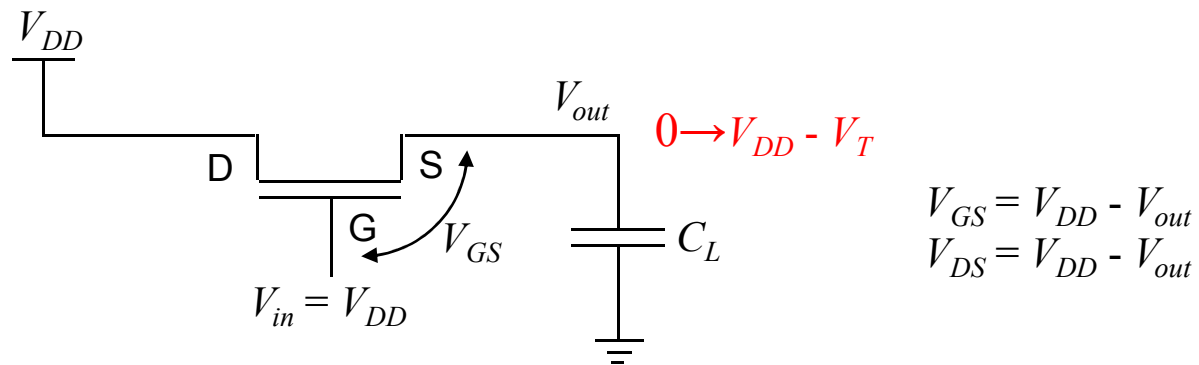
- Μετάδοση λογικού 1:



$$V_{GS} = V_{DD} - V_{out}$$
$$V_{DS} = V_{DD} - V_{out}$$

Το τρανζίστορ nMOS ως διακόπτης

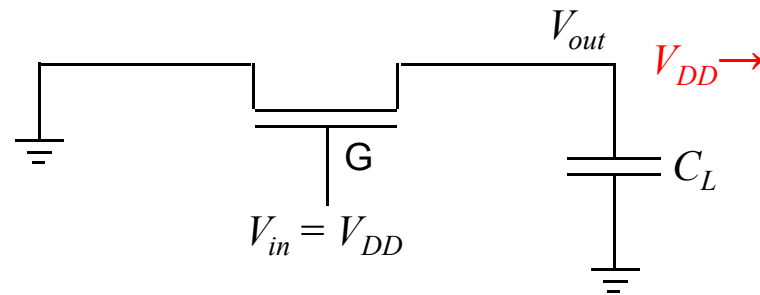
- Μετάδοση λογικού 1:



Το τρανζίστορ είναι ON (σε κορεσμό) μέχρι $V_{out} = V_{DD} - V_T$
- με V_T τροποποιημένο λόγω επίδρασης σώματος -
οπότε εισέρχεται στην περιοχή αποκοπής (OFF)
⇒ ασθενές λογικό 1 στην έξοδο

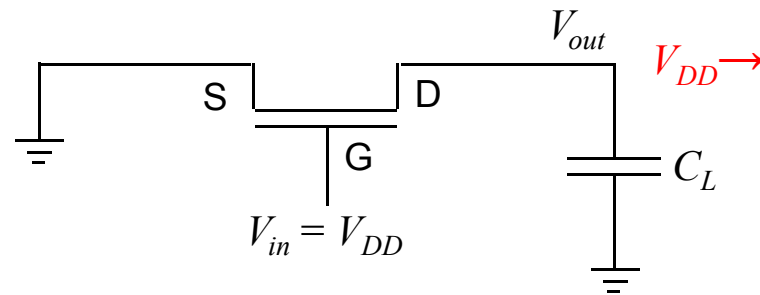
Το τρανζίστορ nMOS ως διακόπτης

- Μετάδοση λογικού 0:



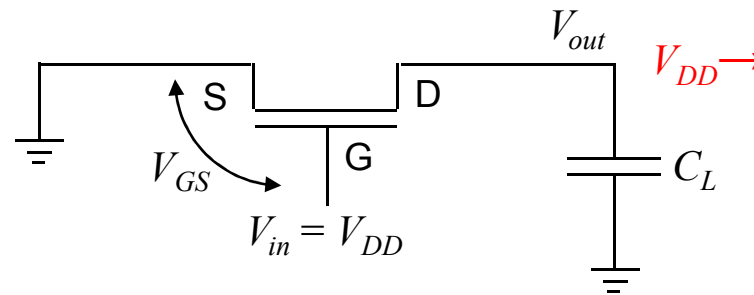
Το τρανζίστορ nMOS ως διακόπτης

- Μετάδοση λογικού 0:



Το τρανζίστορ nMOS ως διακόπτης

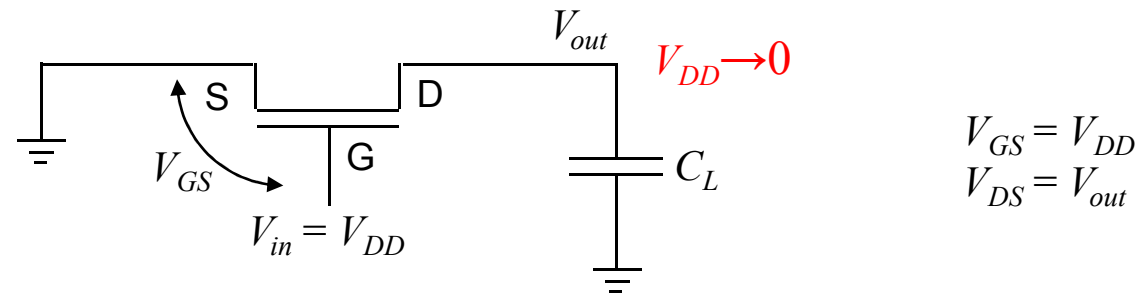
- Μετάδοση λογικού 0:



$$V_{GS} = V_{DD}$$
$$V_{DS} = V_{out}$$

Το τρανζίστορ nMOS ως διακόπτης

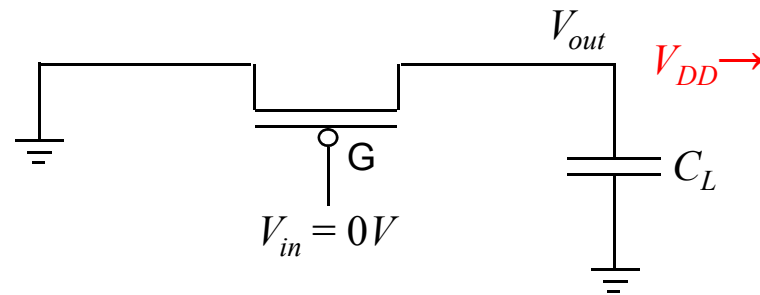
- Μετάδοση λογικού 0:



Το τρανζίστορ είναι συνεχώς ON (σε περιοχή κόρου για $V_{DD} \geq V_{out} \geq V_{DD} - V_T$ και σε γραμμική για $V_{out} \leq V_{DD} - V_T$)
 \Rightarrow ισχυρό λογικό 0 στην έξοδο

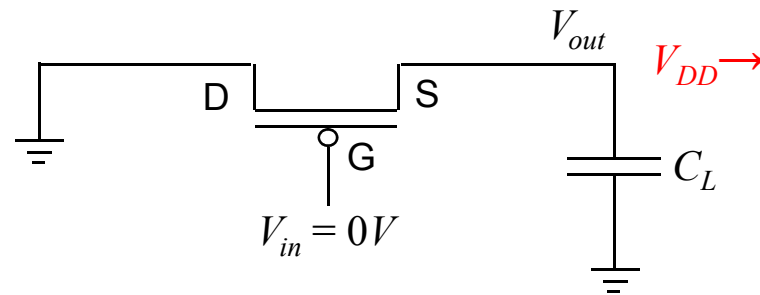
Το τρανζίστορ pMOS ως διακόπτης

- Μετάδοση λογικού 0:



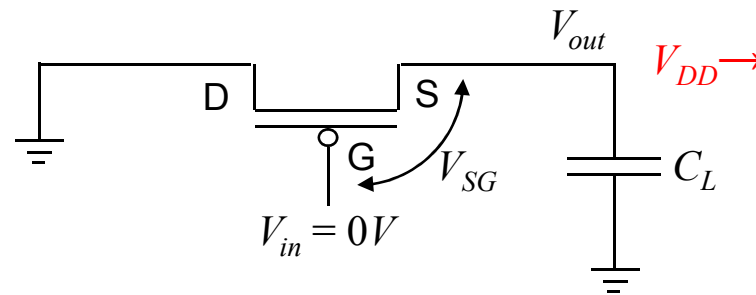
Το τρανζίστορ pMOS ως διακόπτης

- Μετάδοση λογικού 0:



Το τρανζίστορ pMOS ως διακόπτης

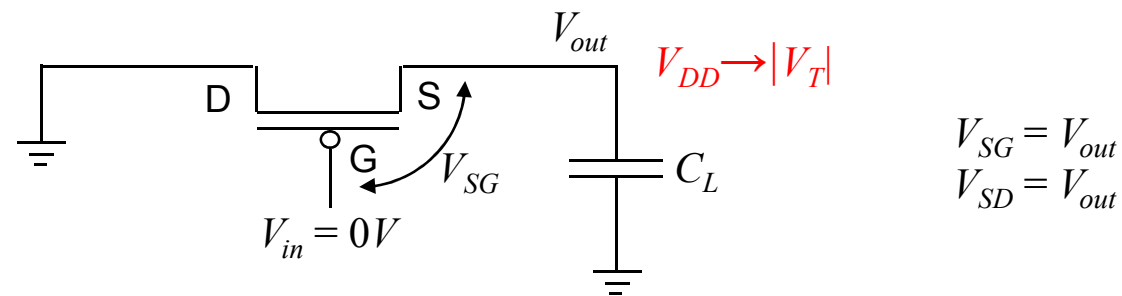
- Μετάδοση λογικού 0:



$$V_{SG} = V_{out}$$
$$V_{SD} = V_{out}$$

Το τρανζίστορ pMOS ως διακόπτης

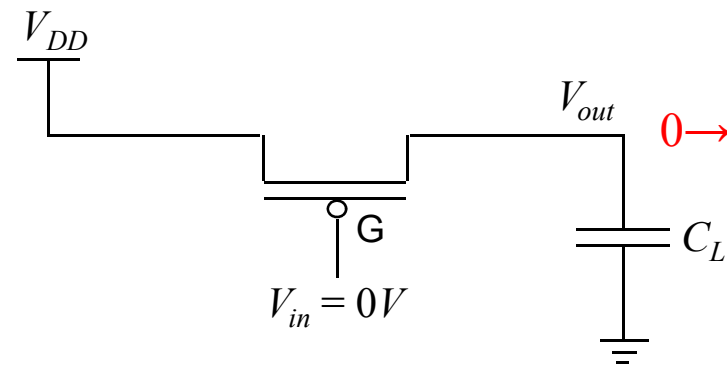
- Μετάδοση λογικού 0:



Το τρανζίστορ είναι ON (σε κορεσμό) μέχρι $V_{out} = |V_T|$
- με V_T τροποποιημένο λόγω επίδρασης σώματος -
οπότε εισέρχεται στην περιοχή αποκοπής (OFF)
⇒ ασθενές λογικό 0 στην έξοδο

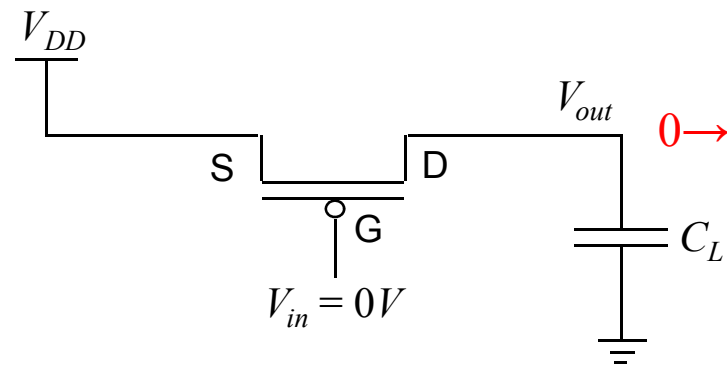
Το τρανζίστορ pMOS ως διακόπτης

- Μετάδοση λογικού 1:



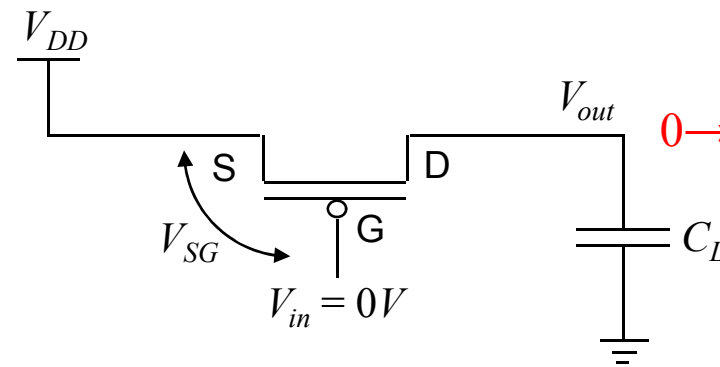
Το τρανζίστορ pMOS ως διακόπτης

- Μετάδοση λογικού 1:



Το τρανζίστορ pMOS ως διακόπτης

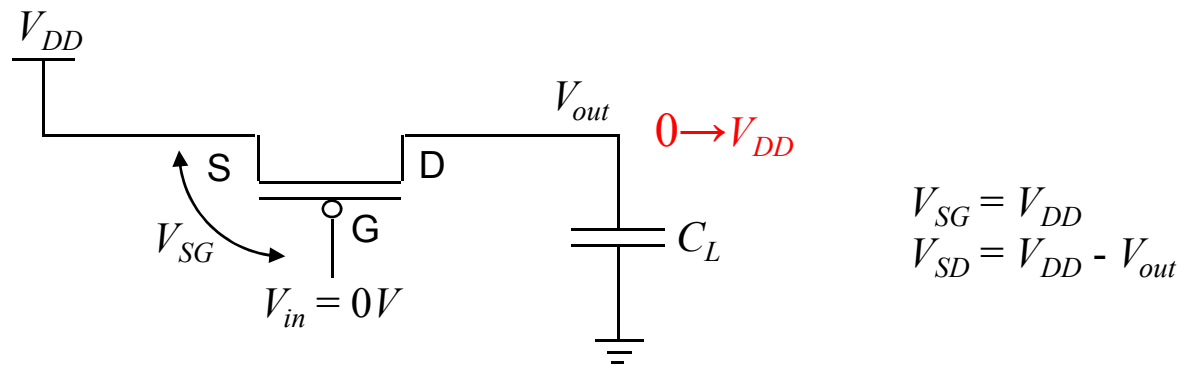
- Μετάδοση λογικού 1:



$$V_{SG} = V_{DD}$$
$$V_{SD} = V_{DD} - V_{out}$$

Το τρανζίστορ pMOS ως διακόπτης

- Μετάδοση λογικού 1:

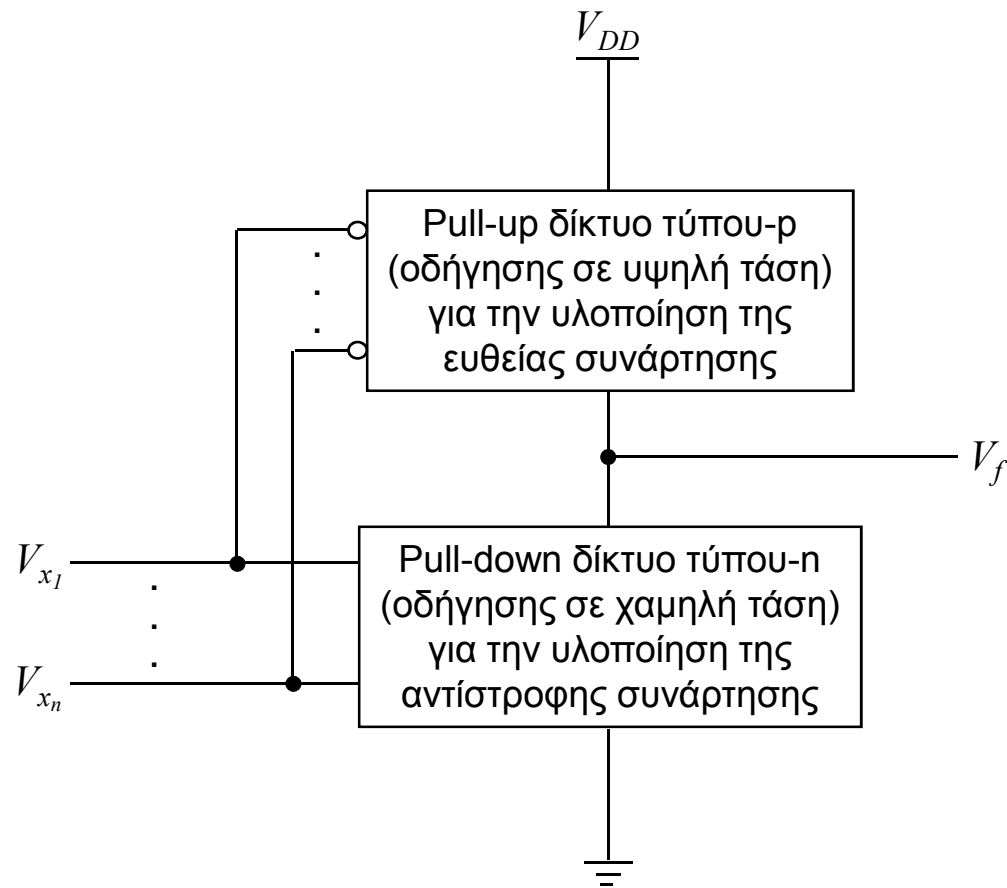


Το τρανζίστορ είναι συνεχώς ON (σε περιοχή κόρου για $0 \leq V_{out} \leq |V_T|$ και σε γραμμική για $V_{out} \geq |V_T|$)
 \Rightarrow ισχυρό λογικό 1 στην έξοδο

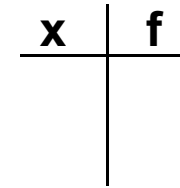
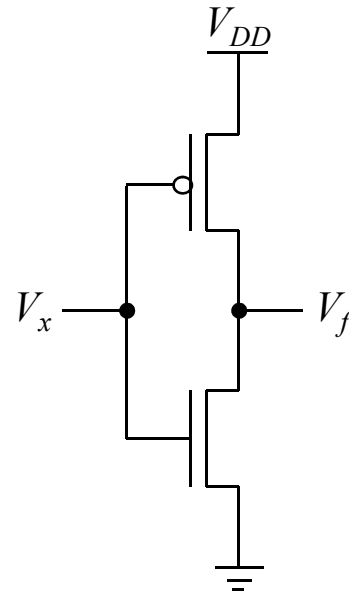
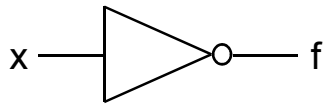
Τεχνολογία CMOS

- Λόγω της μετάδοσης ισχυρού λογικού 0 από το nMOS τρανζίστορ (που άγει με την εφαρμογή λογικού 1 στον ακροδέκτη πύλης) και ισχυρού λογικού 1 από το pMOS τρανζίστορ (που άγει με την εφαρμογή λογικού 0 στον ακροδέκτη πύλης) χρησιμοποιούμε *συμπληρωματική* τεχνολογία CMOS (Complementary MOS) και λογική *αντιστροφής* κατά την υλοποίηση λογικών συναρτήσεων
- Μια πύλη CMOS αποτελείται από ένα pull-down δίκτυο με nMOS τρανζίστορ που συνδέεται στη γείωση και υλοποιεί την *αντίστροφη* συνάρτηση, καθώς και ένα *συμπληρωματικό* (ή *δυσικό*) pull-up δίκτυο με pMOS τρανζίστορ που συνδέεται στην τάση τροφοδοσίας και υλοποιεί την *ευθεία* συνάρτηση (αλλά με *αντεστραμμένες* μεταβλητές, δηλαδή ίδιες με εκείνες της αντίστροφης συνάρτησης)

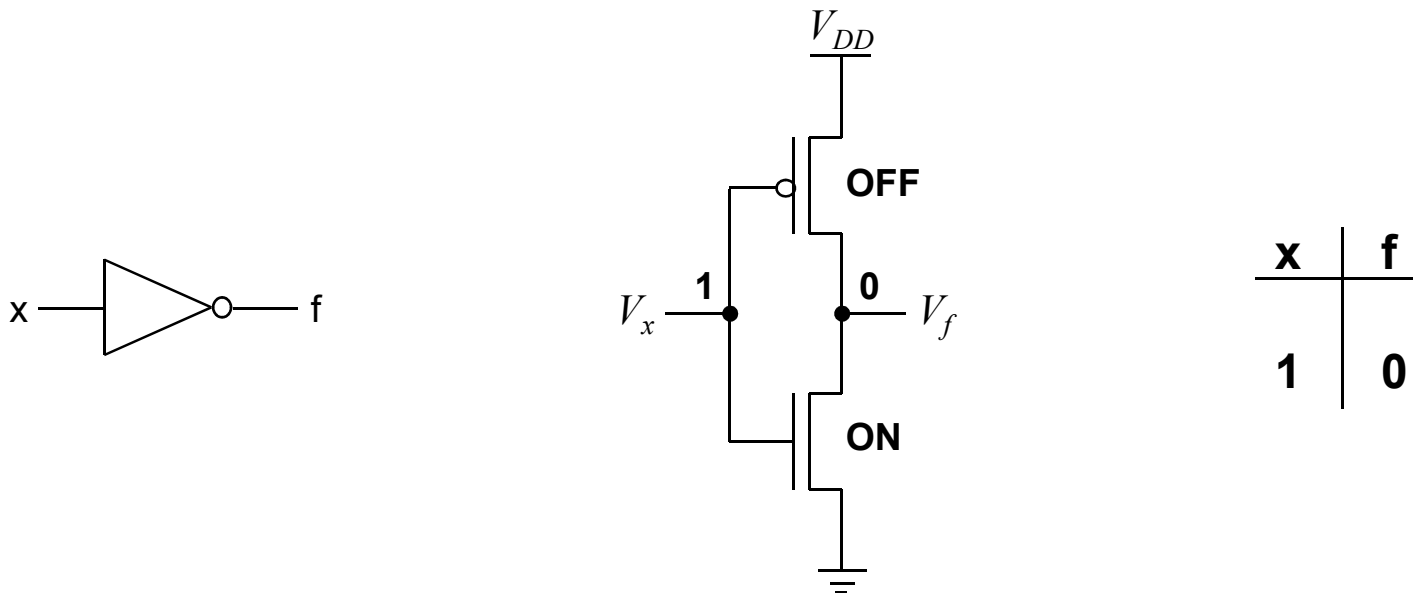
Τεχνολογία CMOS



Αντιστροφέας CMOS

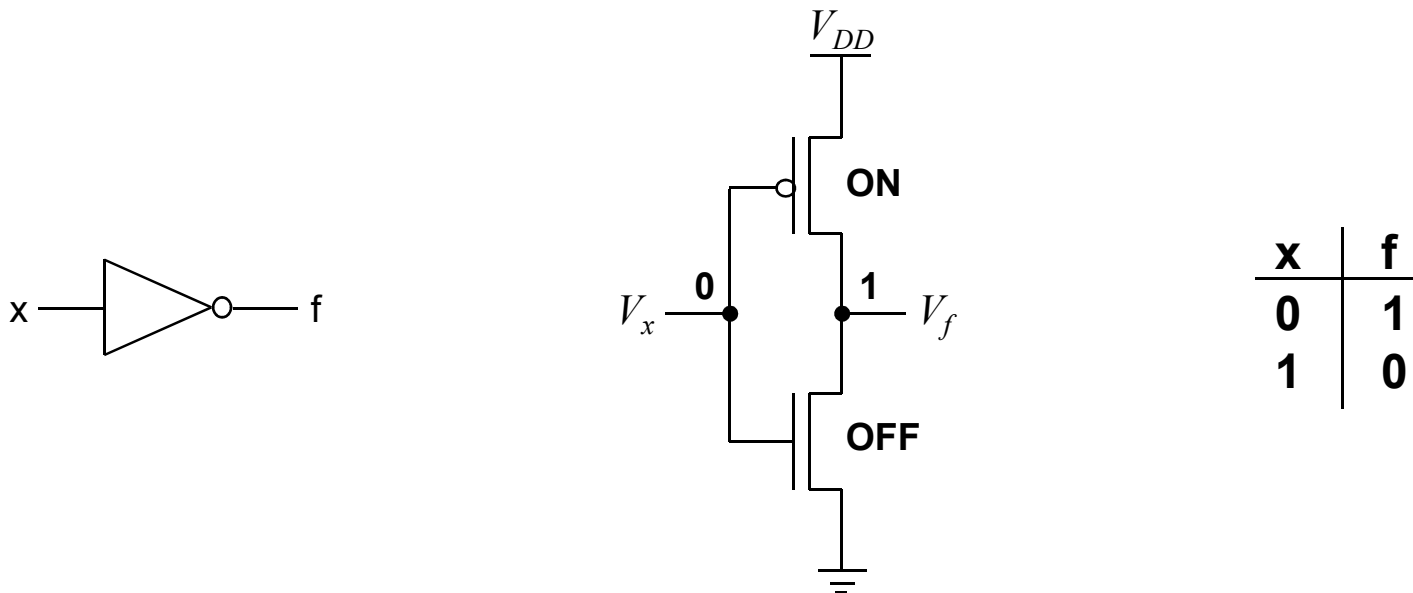


Αντιστροφέας CMOS



- Όταν η είσοδος V_x συνδέεται στην τάση τροφοδοσίας (λογικό 1), τότε άγει μόνο το nMOS τρανζίστορ (pull-down) και οδηγεί την έξοδο V_f στη γείωση (ισχυρό λογικό 0)

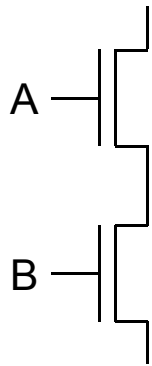
Αντιστροφέας CMOS



- Όταν η είσοδος V_x συνδέεται στην τάση τροφοδοσίας (λογικό 1), τότε άγει μόνο το nMOS τρανζίστορ (pull-down) και οδηγεί την έξοδο V_f στη γείωση (ισχυρό λογικό 0)
- Όταν η είσοδος V_x συνδέεται στη γείωση (λογικό 0), τότε άγει μόνο το pMOS τρανζίστορ (pull-up) και οδηγεί την έξοδο V_f στην τάση τροφοδοσίας (ισχυρό λογικό 1)

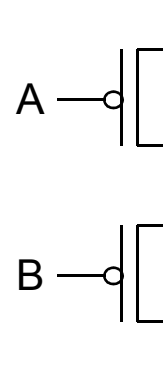
Συνδυαστική Λογική

- Η σύνδεση τρανζίστορ-διακοπών σε σειρά αντιστοιχεί σε λογική δομή πολλαπλασιασμού (AND)



		A	
		0	1
B	0	off	off
	1	off	on

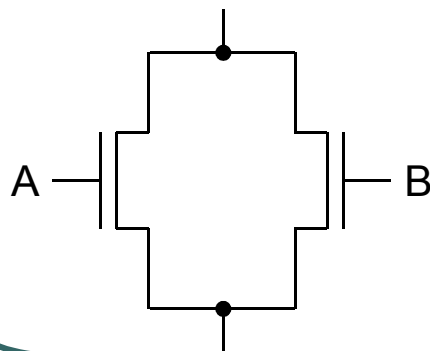
$\Rightarrow A \cdot B$



		A	
		0	1
B	0	on	off
	1	off	off

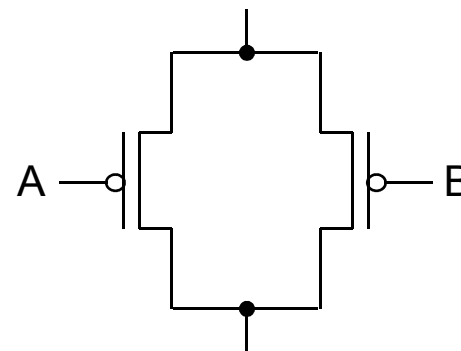
$\Rightarrow A' \cdot B'$

- Η σύνδεση τρανζίστορ-διακοπών εν παράλληλω αντιστοιχεί σε λογική δομή πρόσθεσης (OR)



		A	
		0	1
B	0	off	on
	1	on	on

$\Rightarrow A + B$



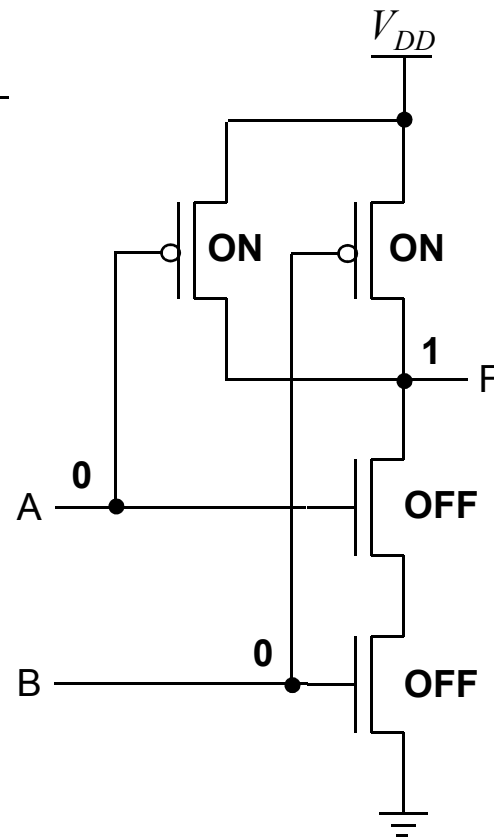
		A	
		0	1
B	0	on	on
	1	on	off

$\Rightarrow A' + B'$

Υλοποίηση πυλών NAND και NOR με τεχνολογία CMOS

- Πύλη NAND 2 εισόδων:

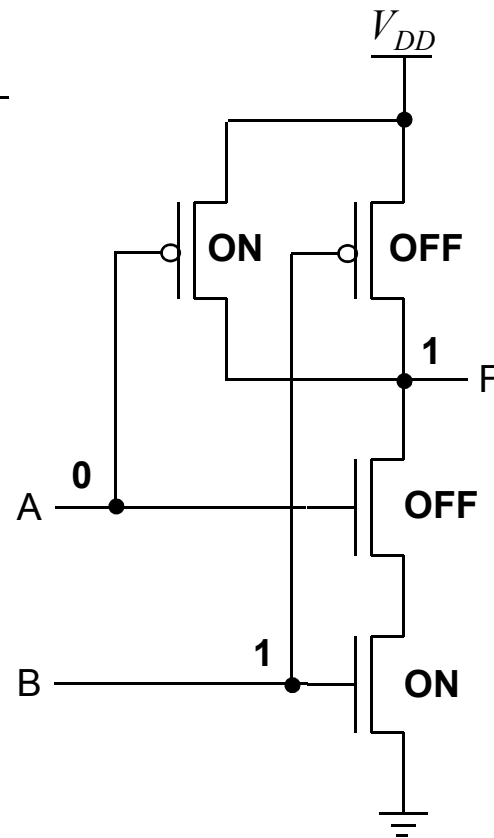
A	B	F
0	0	1



Υλοποίηση πυλών NAND και NOR με τεχνολογία CMOS

- Πύλη NAND 2 εισόδων:

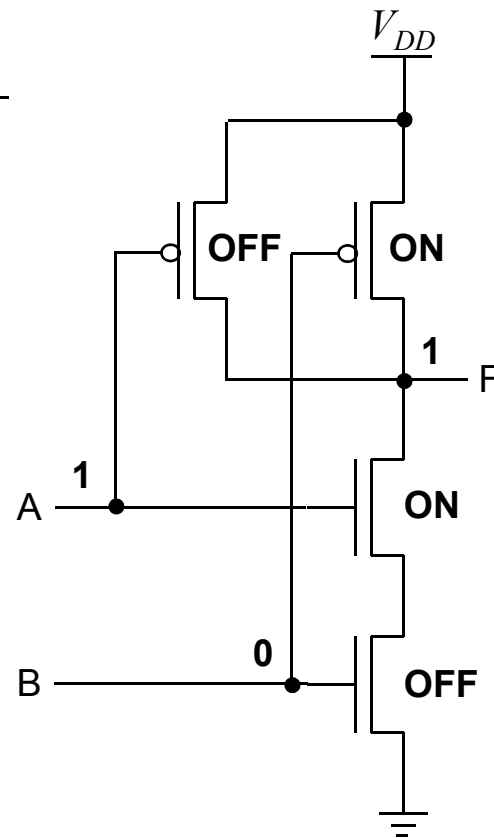
A	B	F
0	0	1
0	1	1



Υλοποίηση πυλών NAND και NOR με τεχνολογία CMOS

- Πύλη NAND 2 εισόδων:

A	B	F
0	0	1
0	1	1
1	0	1

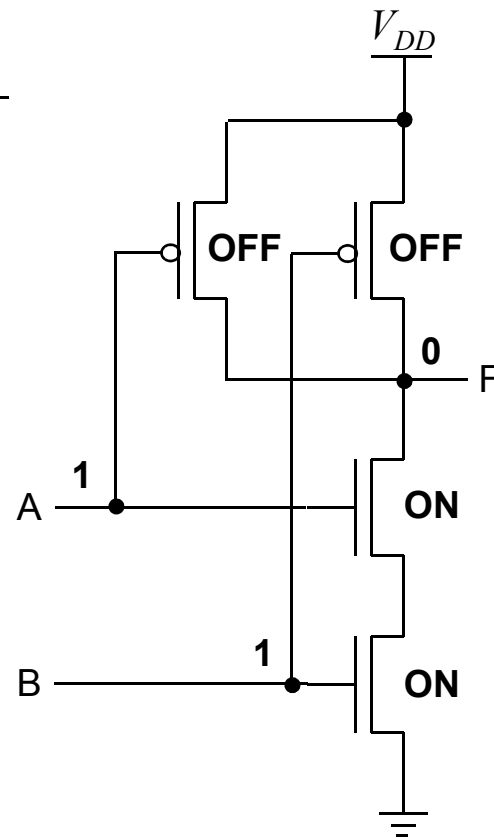


Υλοποίηση πυλών NAND και NOR με τεχνολογία CMOS

- Πύλη NAND 2 εισόδων:

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$$F = (A \cdot B)'$$

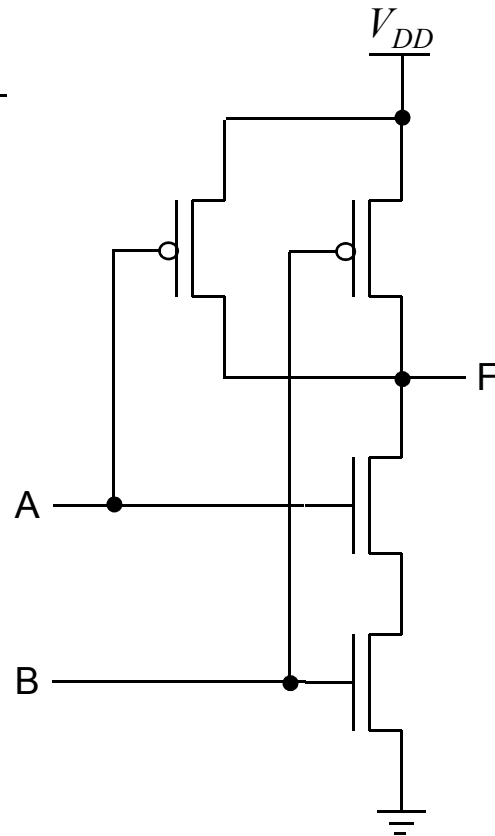


Υλοποίηση πυλών NAND και NOR με τεχνολογία CMOS

- Πύλη NAND 2 εισόδων:

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

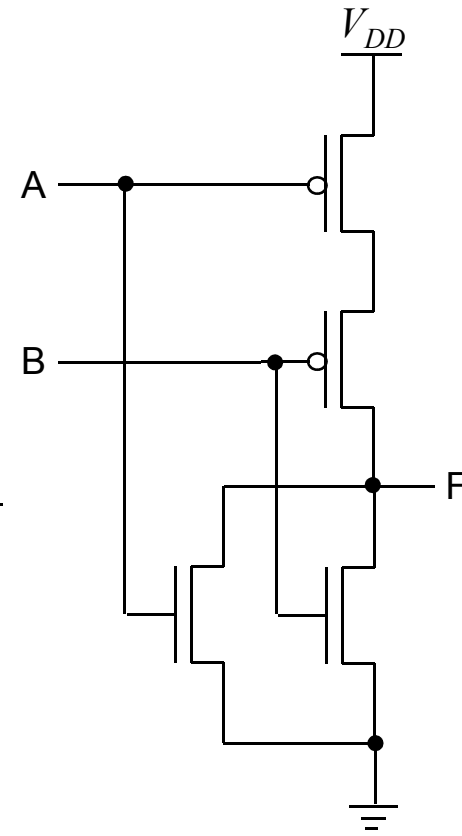
$$F = (A \cdot B)'$$



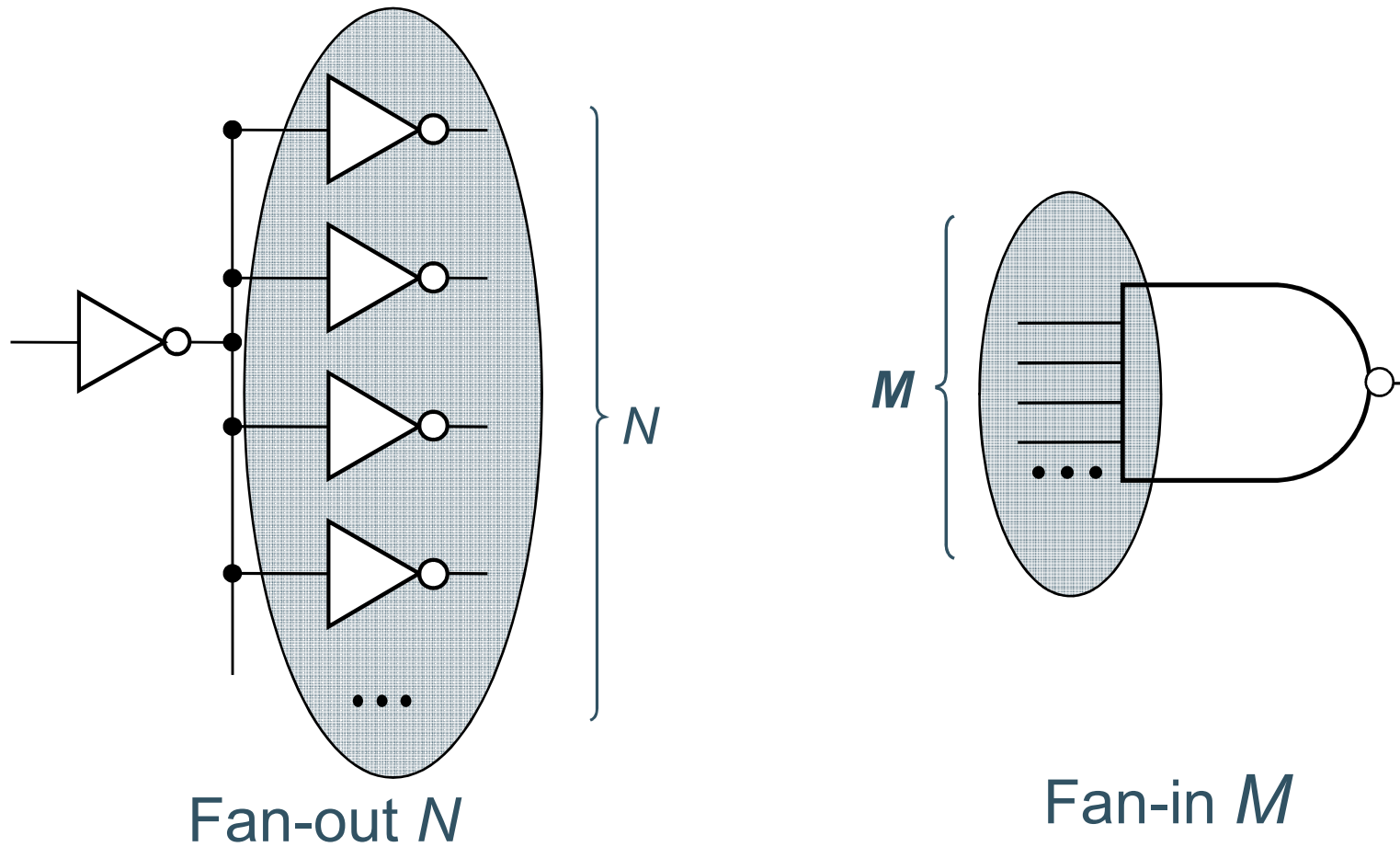
- Πύλη NOR 2 εισόδων:

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

$$F = (A + B)'$$



Fan-in και fan-out

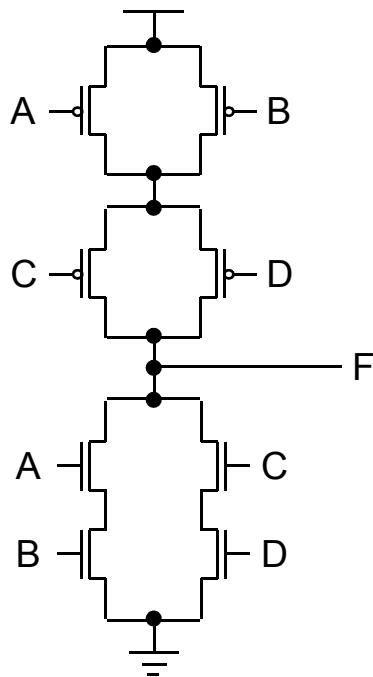


Γενικές πύλες CMOS

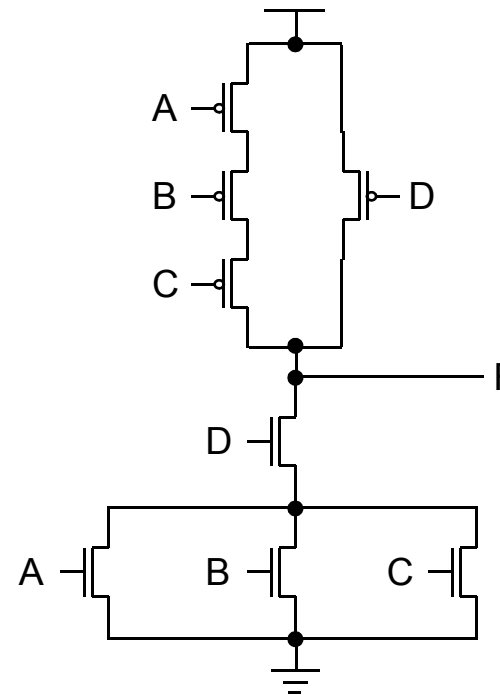
- *Κατασκευή συμπληρωματικών δικτύων:* κάθε συνδυασμός τρανζίστορ σειράς στο pull-down δίκτυο τύπου-n αντιστοιχεί σε παράλληλο συνδυασμό τρανζίστορ στο pull-up δίκτυο τύπου-p και αντιστρόφως (ως άμεσο αποτέλεσμα του θεωρήματος De Morgan)
- Λόγω της συμπληρωματικής φύσης των δικτύων θα άγει πάντοτε (για κάθε συνδυασμό των εισόδων) είτε μόνο το pull-down δίκτυο (φέρνοντας την έξοδο στη γείωση) είτε μόνο το pull-up δίκτυο (φέρνοντας την έξοδο στην τάση τροφοδοσίας), ενώ δεν θα υπάρξει ποτέ περίπτωση η έξοδος να αιωρείται ή να σχηματίζεται ένα απευθείας μονοπάτι από την τροφοδοσία προς τη γείωση

Γενικές πύλες CMOS

- Παράδειγμα: Υλοποίηση της συνάρτησης $F = (A \cdot B + C \cdot D)'$

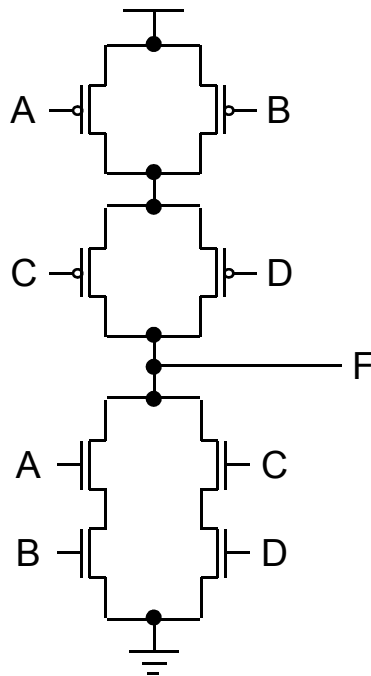


- Παράδειγμα: Υλοποίηση της συνάρτησης $F = D' + A' \cdot B' \cdot C'$

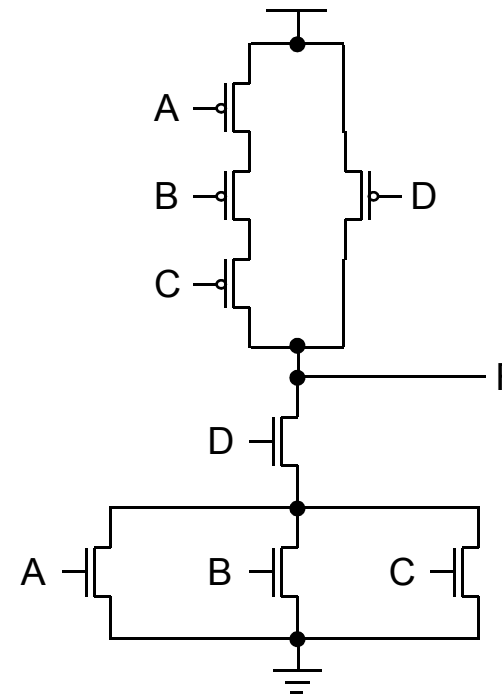


Γενικές πύλες CMOS

- Παράδειγμα: Υλοποίηση της συνάρτησης $F = (A \cdot B + C \cdot D)'$



- Παράδειγμα: Υλοποίηση της συνάρτησης $F = D' + A' \cdot B' \cdot C'$



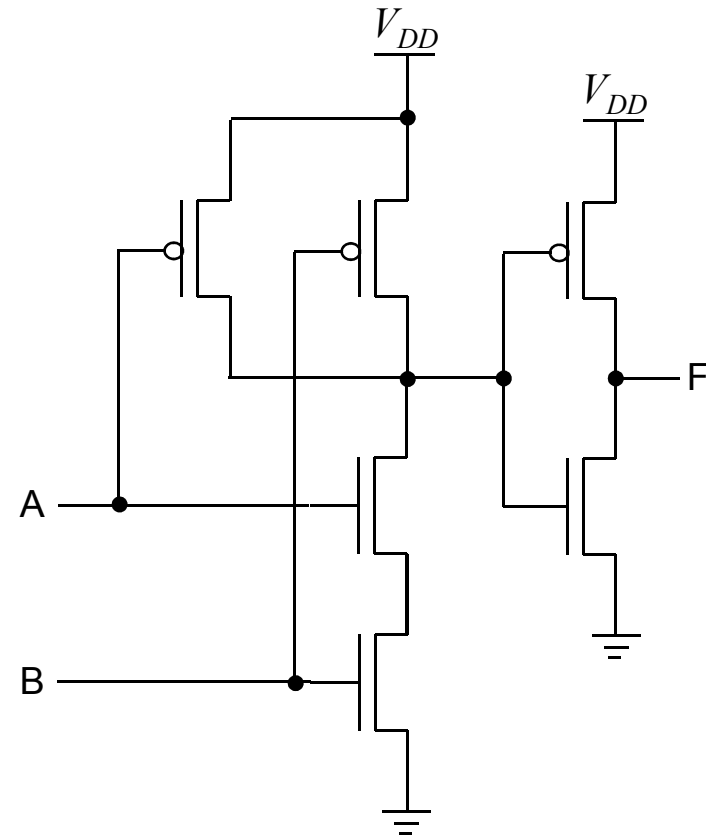
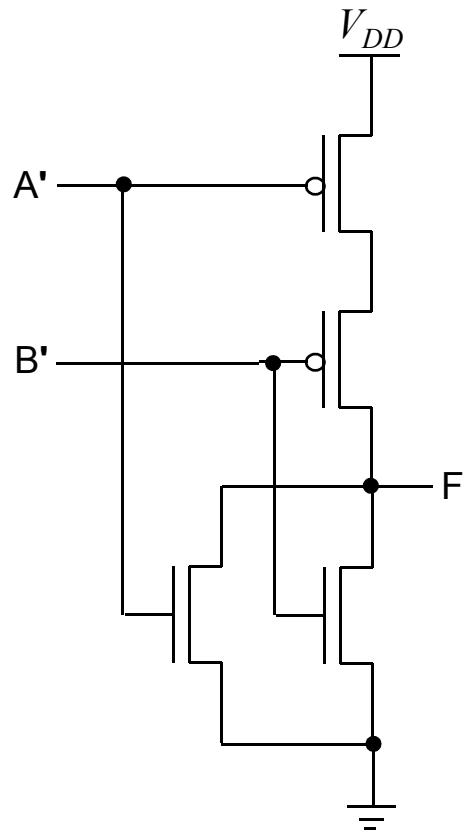
Πόσα τρανζίστορ εξοικονομούνται από μια υλοποίηση με AND - OR ?

Υλοποίηση πυλών AND και OR

- Πύλη AND 2 εισόδων (η υλοποίηση της OR προκύπτει ομοίως):

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

$$F = A \cdot B$$
$$= (A' + B)'$$

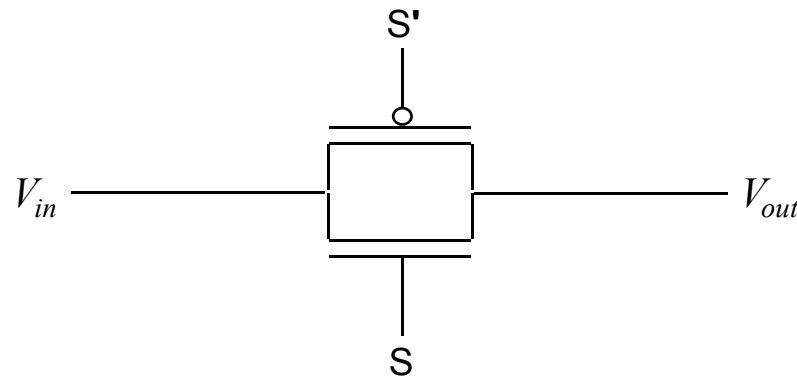


Βασικά χαρακτηριστικά της τεχνολογίας CMOS

- **Ισχυρά επίπεδα τάσεων για τις λογικές τιμές 0 και 1**
- **Πρακτικά μηδενική στατική κατανάλωση ισχύος (εφόσον πάντοτε ένα από τα δύο στάδια pull-up ή pull-down είναι OFF και δεν υπάρχει ροή ρεύματος σε σταθερή κατάσταση)**
- **Χρειάζονται όμως συνολικά $2 \cdot n$ τρανζίστορ για μια πύλη n εισόδων**

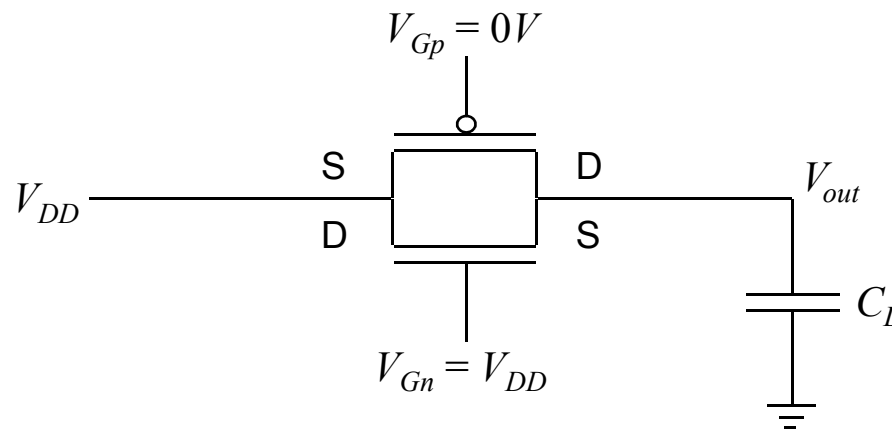
Η πύλη μετάδοσης CMOS

- Συνδυάζοντας παράλληλα ένα nMOS και ένα pMOS τρανζίστορ τα οποία ελέγχονται από συμπληρωματικές τάσεις πύλης, είναι δυνατό να σχηματίσουμε έναν διακόπτη ο οποίος μεταδίδει ισχυρές στάθμες τάσης τόσο στο λογικό 1 όσο και στο λογικό 0 (πύλη μετάδοσης ή transmission gate CMOS)



Λειτουργία της πύλης μετάδοσης

- Μετάδοση λογικού 1:



$$V_{GSn} = V_{DD} - V_{out}$$

$$V_{DSn} = V_{DD} - V_{out}$$

$$V_{SGp} = V_{DD}$$

$$V_{SDp} = V_{DD} - V_{out}$$

Περιοχή τάσεων

$$0 \leq V_{out} < |V_{Tp}|$$

$$|V_{Tp}| \leq V_{out} \leq V_{DD} - V_{Tn}$$

$$V_{DD} - V_{Tn} < V_{out} \leq V_{DD}$$

Λειτουργία nMOS

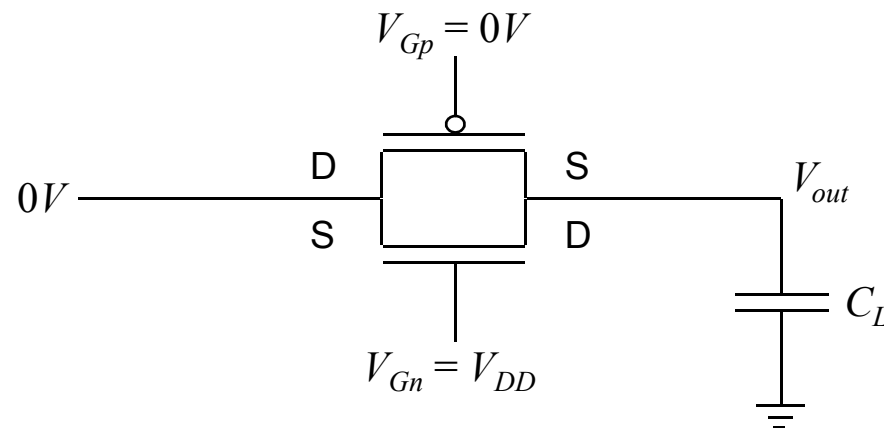
ΚΟΡΟΣ
ΚΟΡΟΣ
ΑΠΟΚΟΠΗ

Λειτουργία pMOS

ΚΟΡΟΣ
ΓΡΑΜΜΙΚΗ
ΓΡΑΜΜΙΚΗ

Λειτουργία της πύλης μετάδοσης

- Μετάδοση λογικού 0:



$$V_{GSn} = V_{DD}$$

$$V_{DSn} = V_{out}$$

$$V_{SGp} = V_{out}$$

$$V_{SDp} = V_{out}$$

Περιοχή τάσεων

$$V_{DD} - V_{Tn} < V_{out} \leq V_{DD}$$

$$|V_{Tp}| \leq V_{out} \leq V_{DD} - V_{Tn}$$

$$0 \leq V_{out} < |V_{Tp}|$$

Λειτουργία nMOS

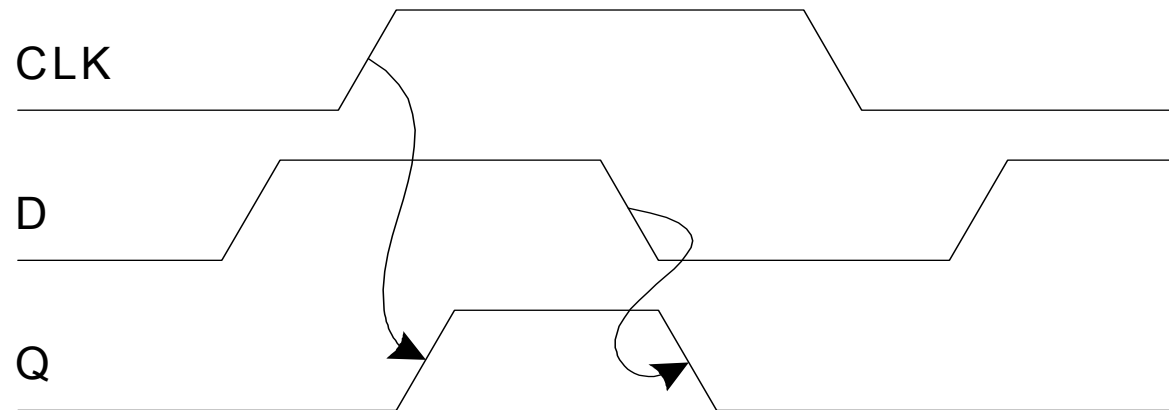
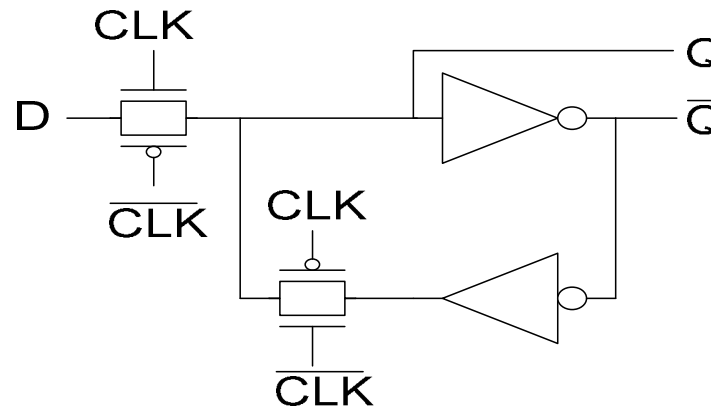
ΚΟΡΟΣ
ΓΡΑΜΜΙΚΗ
ΓΡΑΜΜΙΚΗ

Λειτουργία pMOS

ΚΟΡΟΣ
ΚΟΡΟΣ
ΑΠΟΚΟΠΗ

Υλοποίηση ακολουθιακών στοιχείων με πύλες μετάδοσης

- **Transparent latch:**
(level-sensitive)



Υλοποίηση ακολουθιακών στοιχείων με πύλες μετάδοσης

- **Master-slave flip-flop:**
(edge-triggered)

