

## Ιεραρχία Μνήμης

Θεωρήστε έναν επεξεργαστή με σύστημα ιεραρχίας εικονικής μνήμης που αποτελείται από κύρια μνήμη και μνήμη L1 Data Cache 64 KB, άμεσης απεικόνισης (direct-mapped) με 32-byte blocks. Η φυσική διεύθυνση βρίσκεται με τη βοήθεια μιας μνήμης data TLB, η οποία διατηρεί τις πιο πρόσφατες απεικονίσεις από εικονικές σε φυσικές διευθύνσεις, και ενός πίνακα σελίδων (page table) που χρησιμοποιείται για την εύρεση των φυσικών διευθύνσεων από τις εικονικές.

Σε αυτό το σύστημα εκτελούμε το παρακάτω πρόγραμμα P

```
double A[4][1024], B[1024][3]; // double is 8 bytes
```

```
for (i = 0; i < 4; i++)  
  for (j = 0; j < 1023; j++)  
    A[i][j] = B[j][0] * B[j+1][0];
```

Για τις παρακάτω ερωτήσεις θεωρείστε ότι οι δύο πίνακες A και B είναι αποθηκευμένοι σε διαδοχικές σελίδες στην εικονική μνήμη και δεν επικαλύπτονται στην ίδια εικονική σελίδα. Επίσης αγνοείστε την instruction cache και το instruction TLB για αυτό το πρόβλημα.

- Εάν μόνο η προσπέλαση του πίνακα B στο πρόγραμμα P δημιουργεί 12 σφάλματα σελίδας ποιο είναι το μέγεθος μιας εικονικής σελίδας σε bytes;
- Με δεδομένο το μέγεθος σελίδας που υπολογίσατε στο προηγούμενο ερώτημα, ποιος ο ελάχιστος αριθμός σελίδων που πρέπει να έχει η φυσική μνήμη για να μπορεί η εκτέλεση του P να προκαλεί τον μικρότερο δυνατό αριθμό από σφάλματα σελίδας για τους πίνακες A και B;
- Έστω από εδώ και πέρα ότι το μέγεθος σελίδας είναι 4 KB. Κάθε φορά που συμβαίνει ένα σφάλμα σελίδας (page fault), το λειτουργικό σύστημα αναλαμβάνει να φέρει από τον σκληρό δίσκο όχι μόνο την σελίδα που δημιούργησε το σφάλμα, αλλά και την επόμενη 1 σελίδα σε περίπτωση που χρειαστούν στο μέλλον (prefetch). Μόνο η απεικόνιση της ζητούμενης σελίδας εισέρχεται στο TLB. Δεν υπάρχει δηλ. prefetching στο TLB, αλλά μόνο στην κύρια μνήμη και στον πίνακα σελίδων. Να υπολογίσετε τον συνολικό αριθμό των αστοχιών στο data TLB και των αστοχιών στην L1 Data Cache συνολικά και για τους δύο πίνακες. Υποθέστε ότι το TLB και η L1 Data Cache είναι αρχικά κενές και ότι οι πίνακες A και B αντιστοιχίζονται σε διαφορετικές θέσεις στην data cache.
- Υποθέστε ότι ο χρόνος προσπέλασης τόσο της L1 Data Cache όσο και του TLB είναι 1 κύκλος μηχανής. Ο χρόνος προσπέλασης της κύριας μνήμης για οποιονδήποτε λόγο είναι 100 κύκλοι μηχανής ενώ ο χρόνος προσπέλασης του σκληρού δίσκου σε περίπτωση σφάλματος σελίδας είναι  $10^4$  κύκλοι μηχανής. Να υπολογίσετε τον Μέσο Χρόνο Προσπέλασης στην Μνήμη (AMAT) θεωρώντας ότι οι μόνες προσπελάσεις στην μνήμη γίνονται μέσα στα for loops.

Υπόδειξη: θεωρείστε όλες τις δυνατές περιπτώσεις για το αποτέλεσμα μιας προσπέλασης της μνήμης.